

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-239081

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H04B 1/707

H03H 17/02

H04B 7/26

H04L 7/00

(21)Application number : 10-240302

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 26.08.1998

(72)Inventor : KURIHARA NAOYUKI

(30)Priority

Priority number : 09365288

Priority date : 20.12.1997

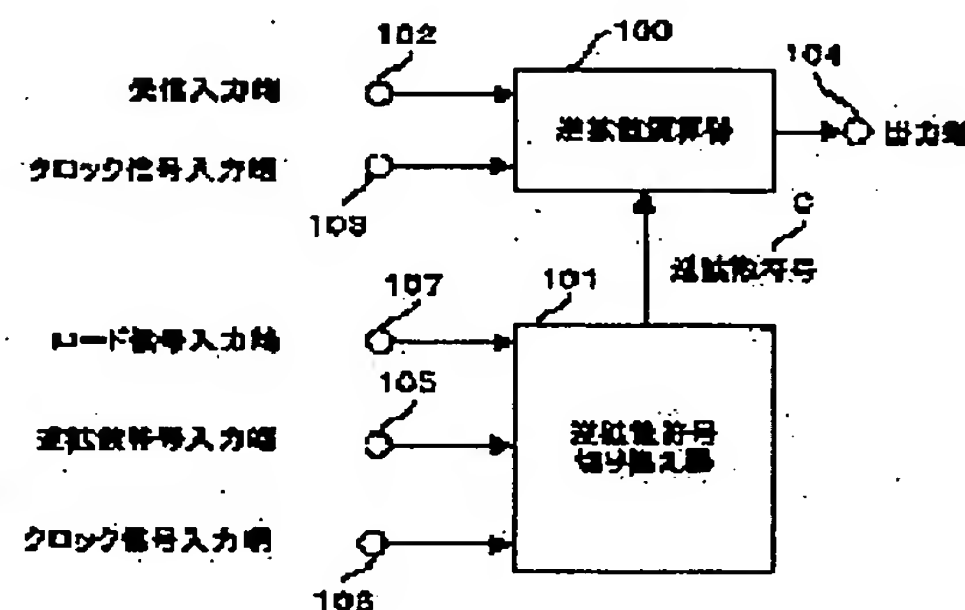
Priority country : JP

(54) CORRELATION DETECTING DEVICE AND REVERSE SPREAD CODE SWITCHING
METHOD OF CORRELATION DETECTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable continuous correlation detection without any error by changing the timings of a clock with which the reverse spread arithmetic operation of a matched filter synchronizes and of a clock with which a reverse spread code switching operation synchronizes.

SOLUTION: A reverse spread computing element 100 is supplied with a spread modulated signal consisting of a spread modulated digital signal at a reception input 102 and applied with a 1st clock giving reverse spread arithmetic timing at a clock signal input 103. A reverse spread code switching unit 101 is supplied with a reverse spread code train at a reverse spread code train input 105, and is supplied with a second clock for providing a timing for switching the reverse spread code at a clock signal input 106. The reverse spread code switching unit 101 is further applied with a load signal for loading a switched reverse spread code C to the reverse spread computing element 100 at a load signal input 107. In this case, the 1st clock and 2nd clock are shifted in phase so that the rises of the 2nd clock and 1st clock always deviate from each other.



LEGAL STATUS

[Date of request for examination]

04.02.2000

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3333454

[Date of registration] 26.07.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-239081

(43)公開日 平成11年(1999) 8 月31日

(51)Int.Cl. ⁸	識別記号	F I
H 0 4 B 1/707		H 0 4 J 13/00 D
H 0 3 H 17/02	6 0 1	H 0 3 H 17/02 6 0 1 Z
H 0 4 B 7/26		H 0 4 L 7/00 C
H 0 4 L 7/00		H 0 4 B 7/26 N

審査請求 未請求 請求項の数17 O L (全 23 頁)

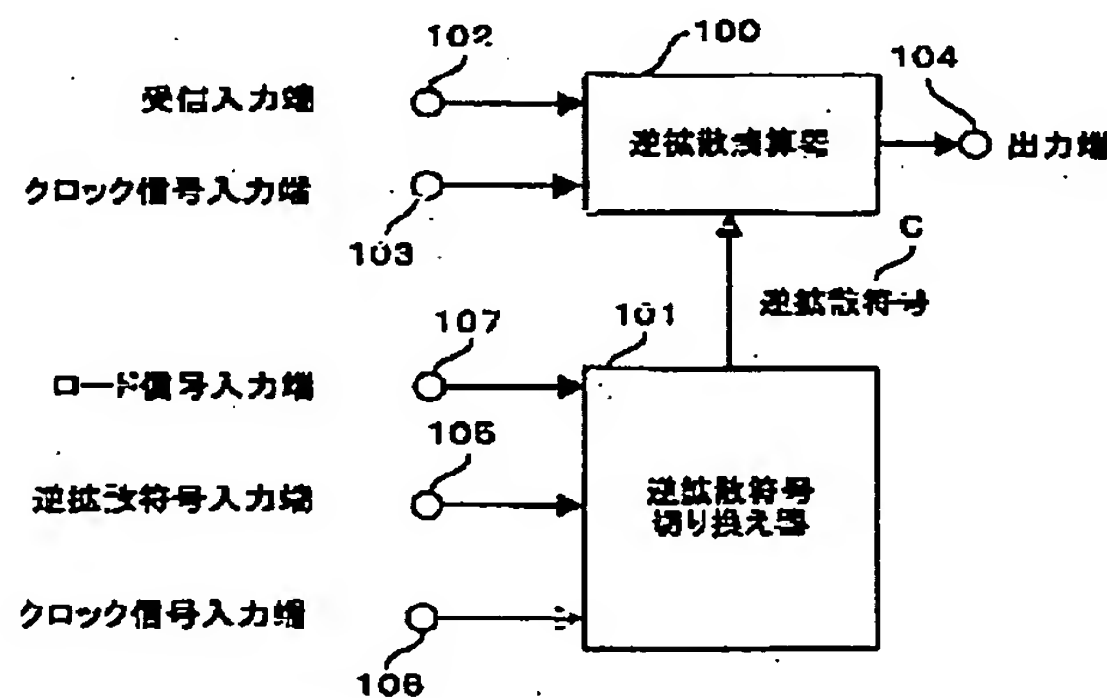
(21)出願番号	特願平10-240302	(71)出願人	000003821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成10年(1998) 8 月26日	(72)発明者	栗原 直之 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平9-365288	(74)代理人	弁理士 鷲田 公一
(32)優先日	平 9 (1997)12月20日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 相関検出装置及び相関検出装置の逆拡散符号切換え方法

(57)【要約】

【課題】 逆拡散符号を切り換えても受信信号に対し誤ることなく連続して相関検出を行うことが出来るようにすること。

【解決手段】 相関検出対象になる拡散変調信号をデータ保持部230に順次入力するための第1のクロック信号と、前記データ保持部230に保持された拡散変調信号と相関をとる逆拡散符号を切り換える第2のクロック信号とに速度差を設け、逆拡散演算を行う有効なタイミングで逆拡散符号を切り換えるようにする。



【特許請求の範囲】

【請求項1】 拡散変調信号を逆拡散符号で逆拡散する逆拡散演算器と、前記逆拡散演算器の演算タイミングと異なるタイミングで逆拡散符号を切り換える符号切換手段とを備えた相関検出装置。

【請求項2】 次回の逆拡散演算が開始される前に逆拡散符号を切り換えることを特徴とする請求項1記載の相関検出装置。

【請求項3】 逆拡散演算器に逆拡散演算の演算タイミングを与える第1のクロック信号と符号切換手段に逆拡散符号の切換えタイミングを与える第2のクロック信号との位相をずらしたことを特徴とする請求項1又は請求項2記載の相関検出装置。

【請求項4】 符号切換手段に切換えタイミングを与える第2のクロック信号が、逆拡散演算器に演算タイミングを与える第1のクロック信号の m 倍の周波数を有することを特徴とする請求項3記載の相関検出装置。

【請求項5】 第2のクロック信号は、第1のクロック信号の位相反転クロックであることを特徴とする請求項3記載の相関検出装置。

【請求項6】 拡散変調信号を保持する第1のデータ保持手段と、前記第1のデータ保持手段で保持している拡散変調信号と逆拡散符号との相関値を演算する逆拡散演算器と、前記逆拡散演算器で逆拡散演算中の拡散変調信号の変化前にロード信号が与えられ次回の逆拡散演算で使用する逆拡散符号がロードされる第2のデータ保持手段とを具備した相関検出装置。

【請求項7】 拡散変調信号を保持する第1のデータ保持手段と、逆拡散符号を保持する第2のデータ保持手段と、前記第1のデータ保持手段に保持された拡散変調信号と前記第2のデータ保持手段に保持された逆拡散符号との相関値を演算する演算手段と、前記第1のデータ保持手段に拡散変調信号を順次入力する第1のクロック信号とは位相の異なる第2のクロック信号に基づいて前記逆拡散符号を切り換える符号切換手段とを具備した相関検出装置。

【請求項8】 第1のデータ保持手段に拡散変調信号を入力するための第1のクロック信号と前記第1のデータ保持手段から演算手段へ与える拡散変調信号をホールドするデータホールド信号とを切り換えるセレクタを備え、第2のクロック信号を第1のクロック信号の n 乗倍のクロックにしたことを特徴とする請求項6又は請求項7記載の相関検出装置。

【請求項9】 第2のデータ保持手段は、直列接続された複数のフリップフロップで構成されたシフトレジスタを有し、前記シフトレジスタの1段目のフリップフロップに入力する逆拡散符号が第2のクロック信号に同期して順次後段のフリップフロップへ転送され、各フリップフロップの出力が逆拡散符号として逆拡散演算器へ与えられることを特徴とする請求項6又は請求項7記載の相

関検出装置。

【請求項10】 逆拡散符号が第2のクロック信号に同期して順次入力される複数の書込み用シフトレジスタと、第2のデータ保持手段に逆拡散符号として保持すべき前記書込み用シフトレジスタの出力信号をコード切換え信号に基づいて前記複数の書込み用シフトレジスタから選択する選択手段とを備えた請求項6又は請求項7記載の相関検出装置。

【請求項11】 第1のデータ保持手段は、 m 倍にオーバーサンプリングされた拡散変調信号を保持可能な M 段のレジスタ長を有し、第1のクロック信号に同期してデータ転送するシフトレジスタと、前記シフトレジスタの各段の出力信号から相関検出の対象となる拡散変調信号として $1/m$ の出力信号を選択するセレクタとを備えたことを特徴とする請求項6又は請求項7記載の相関検出装置。

【請求項12】 第1のデータ保持手段は、パラレルに書込み/読出し可能な複数のメモリと、前記メモリに対する拡散変調信号の書込みアドレス及び読み出しアドレスを第1のクロックに同期して制御するアドレス制御手段とを具備した請求項6又は請求項7記載の相関検出装置。

【請求項13】 受信した拡散変調信号を請求項1乃至請求項12のいずれかに記載の相関検出装置に入力して逆拡散符号での相関検出を行い、相関検出結果に基づいて同期獲得を行うことを特徴とするCDMA受信装置。

【請求項14】 請求項13記載のCDMA受信装置を備え、前記CDMA受信装置にCDMA無線通信で受信した拡散変調信号を入力して同期獲得し、獲得した同期タイミングに基づいて通信制御を行うことを特徴とする移動体通信端末装置。

【請求項15】 請求項13記載のCDMA受信装置を備え、前記CDMA受信装置にCDMA無線通信で受信した拡散変調信号を入力して同期獲得し、獲得した同期タイミングに基づいて通信制御を行うことを特徴とする移動体通信基地局装置。

【請求項16】 拡散変調信号と逆拡散符号との相関値を演算する逆拡散演算器で逆拡散演算中の拡散変調信号の変化前に次回の逆拡散演算で使用する逆拡散符号を切り換えることを特徴とする相関検出装置の逆拡散符号切換え方法。

【請求項17】 相関検出対象になる拡散変調信号をデータ保持部に順次入力するための第1のクロック信号と、前記データ保持部に保持された拡散変調信号と相関をとる逆拡散符号を切り換える第2のクロック信号とに速度差を設け、逆拡散演算を行う有効なタイミングで逆拡散符号を切り換えることを特徴とする相関検出装置の逆拡散符号切換え方法。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明は、スペクトラム拡散通信方式で同期獲得に用いられるマッチトフィルタに適用可能な相関検出装置及び逆拡散符号切換え方法に関するものである。

【0002】

【従来の技術】従来のマッチトフィルタの構成について図18を用いて説明する。同図に示すマッチトフィルタはFIRデジタルフィルタを用いた5倍拡散のマッチトフィルタの例である。

【0003】このマッチトフィルタは、受信入力端1とクロック信号入力端2とフリップフロップ群3～7でなるシフトレジスタ8と、乗算器9～13と、加算器14と、出力端15と、ホールド信号入力端16と、逆拡散符号入力端17と、ロード信号入力端18と、フリップフロップ群19～23でなる演算用レジスタ24と、フリップフロップ群25～29でなる書込み用シフトレジスタ30を含む。

【0004】受信入力端1には、アナログ信号（例えば、スペクトル拡散信号）が、4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号が入力される。なお、デジタル信号は、クロック信号入力端2から入力される信号に同期した6ビットの信号である。デジタル信号は、フリップフロップ3に入力されたのち、フリップフロップ7に向けてクロックに同期してシフトされる。乗算器9～13は、6ビット×1ビットの乗算器であり、7ビットの出力信号を出力する。乗算器9では、フリップフロップ3（6ビット）の出力信号と演算用レジスタ24の出力信号のうちのフリップフロップ19の出力信号（1ビット）との乗算が行われる。乗算器10～13では、フリップフロップ群4～7と演算用レジスタ24のフリップフロップ群20～23の出力信号との乗算がそれぞれ行われる。加算器14では、乗算器9～13の出力信号を加算し、出力端15より出力する。

【0005】逆拡散符号の切り換えの際の乗算手順について、図19を参照して以下に説明する。

【0006】逆拡散符号切り換え前の状態では、書込み用シフトレジスタ30のフリップフロップ群29～25の出力信号は逆拡散符号列C-5、C-4、C-3、C-2、C-1、演算用レジスタ24のフリップフロップ群23～19の出力信号は、逆拡散符号列C-5、C-4、C-3、C-2、C-1とされている。

【0007】まず、逆拡散符号切り換え前の乗算手順について説明する。

【0008】受信入力端1にデジタル信号の1番目のサンプリングデータD0が入力されるとフリップフロップ3に取り込まれ、このサンプリングデータD0と逆拡散符号C-1との乗算が乗算器9で行われる。従って、 $D0 \times C-1$ の値を示す出力信号が乗算器9より出力される。

【0009】受信入力端1にデジタル信号の2番目のサンプリングデータD1がクロック信号入力端2より入力されるクロックに同期して入力されるとフリップフロップ3に取り込まれるとともに、1番目のサンプリングデータD0がフリップフロップ4に取り込まれる。その結果、乗算器9では、2番目のサンプリングデータD1と逆拡散符号C-1の乗算が行われると共に、乗算器10では、1番目のサンプリングデータD0と逆拡散符号C-2の乗算が行われる。従って、 $D1 \times C-1$ の値を示す出力信号が乗算器9より出力されると共に、 $D0 \times C-2$ の値を示す出力信号が乗算器10より出力される。

【0010】以降、同様の動作が4番目のサンプリングデータD3が入力されるまで繰り返される。

【0011】受信入力端1にデジタル信号の5番目のサンプリングデータD4がクロック信号入力端2より入力されるクロックに同期して入力されると、1番目から5番目のサンプリングデータD0～D4がフリップフロップ群7～3にそれぞれ取り込まれる。従って、 $D4 \times C-1$ の値が示す乗算結果が乗算器9から出力され、 $D3 \times C-2$ の値が示す乗算結果が乗算器10から出力され、 $D2 \times C-3$ の値が示す乗算結果が乗算器11から出力され、 $D1 \times C-4$ の値が示す乗算結果が乗算器12から出力され、 $D0 \times C-5$ の値が示す乗算結果が乗算器13から出力される。

【0012】以上の動作より、デジタル信号の最初の5個のサンプリングデータD0～D4と逆拡散符号列C-5、C-4、C-3、C-2、C-1との相関値を求めるために必要な乗算が全て行われ、加算器14によりそれぞれの乗算器の乗算結果の加算が行われ、出力端15より相関結果H(4)が出力される。

【0013】その結果、デジタル信号の5個のサンプルデータD0、D1、D2、D3、D4と5ビットの逆拡散符号列C-5、C-4、C-3、C-2、C-1との相関値を求めるのに必要な逆拡散演算がすべて行われる。

【0014】次に、マッチトフィルタの逆拡散符号の切り換え器の動作について説明する。ホールド信号入力端16がローレベルの時、クロック信号入力端2より入力されるクロックに同期して、逆拡散符号入力端17より入力されるC0、C1、C2、C3、C4が書込み用シフトレジスタを構成するフリップフロップ群25～29に順次入力される。更に、ロード信号入力端18より入力される信号がローレベルの時、クロック信号入力端2より入力される信号に同期して、書込み用シフトレジスタ30の逆拡散符号列C0、C1、C2、C3、C4が演算用レジスタ24にロードされる。

【0015】逆拡散演算のクロックと逆拡散符号をロードするクロックは、ともにクロック信号入力端2より入力されるクロックに同期している為、半導体の拡散プロセス、周囲温度、電源電圧等で変化する回路内部の遅延

に左右され、どちらが早く動作するか論理的に特定することができない。

【0016】その為、受信入力端1にデジタル信号の6番目のサンプリングデータD5が入力される時は、逆拡散演算で用いられる逆拡散符号列が、切り換え前の逆拡散符号列C-5、C-4、C-3、C-2、C-1、切り換え後の逆拡散符号列C0、C1、C2、C3、C4どちらで逆拡散演算するか特定することはできない。

【0017】次に、逆拡散符号列C0C1C2C3C4がロードされた後の演算動作について説明する。

【0018】受信入力端1にデジタル信号の7番目のサンプリングデータD6がクロック信号入力端2より入力されるクロックに同期して入力されると、3番目から7番目のサンプリングデータD2～D6がフリップフロップ群7～3にそれぞれ取り込まれる。従って、 $D6 \times C4$ の値が示す乗算結果が乗算器9から出力され、 $D5 \times C3$ の値が示す乗算結果が乗算器10から出力され、 $D4 \times C2$ の値が示す乗算結果が乗算器11から出力され、信号 $D3 \times C1$ の値が示す乗算結果が乗算器12から出力され、 $D2 \times C0$ の値が示す乗算結果が乗算器13から出力される。

【0019】以上の動作より、デジタル信号の5個のサンプリングデータD2～D6と逆拡散符号列C0、C1、C2、C3、C4との相関値を求めるために必要な乗算が全て行われ、加算器14によりそれぞれの乗算器の乗算結果の加算が行われ、出力端15より相関結果H(6)が出力される。

【0020】その結果、デジタル信号の5個のサンプルデータD0、D1、D2、D3、D4から2サンプル後の5個のサンプルデータD2、D3、D4、D5、D6と5ビットの逆拡散符号列C0、C1、C2、C3、C4との相関値を求めるのに必要な逆拡散演算がすべて行われる。以降、同様の動作が繰り返される。

【0021】

【発明が解決しようとする課題】しかしながら、上記従来のマッチトフィルタの構成では、従来例に示した様にマッチトフィルタの逆拡散演算用レジスタが同期しているクロックと逆拡散符号切り換えの同期しているクロックが同じ為、逆拡散符号を切り換える際、連続して相関検出を必要とされているシステムにおいて、受信信号に対して切り換え前の符号か切り換え後の符号どちらで演算をしているか判別するのが困難であるという問題を有していた。

【0022】本発明は、上記従来の問題を解決するもので、マッチトフィルタの逆拡散演算の動作が同期しているクロックと逆拡散符号切り換えの動作が同期しているクロックのタイミングを変える事により、逆拡散符号を切り換えても受信信号に対し誤ることなく連続して相関検出を行うことが出来る相関検出装置及び逆拡散符号切り換え方法を提供する事を目的とする。

【0023】

【課題を解決するための手段】この課題を解決するために本発明は、マッチトフィルタの逆拡散演算の動作と、逆拡散符号切り換えの動作が同期しているクロックのタイミングを変える事により、受信信号に対し誤ることなく連続して相関検出を行うことを実現できる構成を有している。

【0024】本発明によれば、デジタル信号の逆拡散演算と逆拡散符号の切り換えのタイミングを異ならせることにより、デジタル信号に対して複数の逆拡散符号で逆拡散の演算を行う際、誤ることなく特定された逆拡散符号で連続して演算を実行出来るという作用を有する。

【0025】

【発明の実施の形態】本発明の第1の態様は、拡散変調信号を逆拡散符号で逆拡散する逆拡散演算器と、前記逆拡散演算器の演算タイミングと異なるタイミングで逆拡散符号を切り換える符号切換手段とを具備する構成を採る。

【0026】この構成によれば、逆拡散演算のタイミングと逆拡散符号の切換えタイミングとを異ならせるので、受信信号に対して切り換え前の符号か切り換え後のどちらでどちらで演算しているか機械的に判別することができる。

【0027】本発明の第2の態様は、第1の態様において、次回の逆拡散演算が開始される前に逆拡散符号を切り換える構成を採る。

【0028】この構成によれば、次回の逆拡散演算が開始される前に逆拡散符号が切り換えられるので、受信信号に対して逆拡散を連続して行う場合に、逆拡散演算を行う有効なタイミングで確実に拡散符号を発生することができる。

【0029】本発明の第3の態様は、第2の態様において、逆拡散演算器に逆拡散演算の演算タイミングを与える第1のクロック信号と符号切換手段に逆拡散符号の切換えタイミングを与える第2のクロック信号との位相をずらすようにする構成を採る。

【0030】この構成によれば、逆拡散演算タイミングを与える第1のクロック信号と逆拡散符号の切換えタイミングを与える第2のクロック信号との位相をずらすことにより、逆拡散符号の切換えタイミングと逆拡散演算タイミングとを確実にずらすことができる。

【0031】本発明の第4の態様は、第2の態様において、符号切換手段に切換えタイミングを与える第2のクロック信号が、逆拡散演算器に演算タイミングを与える第1のクロック信号のm倍の周波数を有する構成をとる。

【0032】この構成によれば、逆拡散符号の切換えタイミングを与える第2のクロック信号を逆拡散演算タイミングを与える第1のクロック信号のm倍の周波数にしたので、逆拡散符号の切換えタイミングと逆拡散演算の

演算タイミングとをずらすことができる。

【0033】本発明の第5の態様は、第2の態様において、第2のクロック信号が、第1のクロック信号の位相反転クロックである構成を採る。

【0034】この構成によれば、逆拡散符号の切換えタイミングを与える第2のクロック信号を逆拡散演算器に演算タイミングを与える第1のクロック信号の位相反転クロックにすることにより、逆拡散符号の切換えタイミングと逆拡散演算タイミングとをずらすことができる。

【0035】本発明の第6の態様は、拡散変調信号を保持する第1のデータ保持手段と、前記第1のデータ保持手段で保持している拡散変調信号と逆拡散符号との相関値を演算する逆拡散演算器と、前記逆拡散演算器で逆拡散演算中の拡散変調信号の変化前にロード信号が与えられ次の逆拡散演算で使用する逆拡散符号がロードされる第2のデータ保持手段とを具備した構成を採る。

【0036】この構成によれば、逆拡散演算中の拡散変調信号の変化前に次の逆拡散演算で使用する逆拡散符号がロードされるので、逆拡散演算を行う有効なタイミングで確実に拡散符号を発生することができ、受信信号に対して逆拡散を連続して行うことができる。

【0037】本発明の第7の態様は、拡散変調信号を保持する第1のデータ保持手段と、逆拡散符号を保持する第2のデータ保持手段と、前記第1のデータ保持手段に保持された拡散変調信号と前記第2のデータ保持手段に保持された逆拡散符号との相関値を演算する演算手段と、前記第1のデータ保持手段に拡散変調信号を順次入力する第1のクロック信号とは位相の異なる第2のクロック信号に基づいて前記逆拡散符号を切り換える符号切換え手段とを具備した構成を採る。

【0038】この構成によれば、拡散変調信号を順次入力する第1のクロック信号とは位相の異なる第2のクロック信号に基づいて逆拡散符号を切り換えるので、逆拡散符号の切換えタイミングと逆拡散演算の演算タイミングとを確実にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0039】本発明の第8の態様は、第6又は第7の態様において、第1のデータ保持手段に拡散変調信号を入力するための第1のクロック信号と前記第1のデータ保持手段から演算手段へ与える拡散変調信号をホールドするデータホールド信号とを切り換えるセレクタを備え、第2のクロック信号を第1のクロック信号の n 乗倍のクロックにした構成を採る。

【0040】この構成によれば、拡散変調信号をホールド可能にし、かつ第2のクロック信号を第1のクロック信号の n 乗倍のクロックにしたので、拡散変調信号をホールドしたまま第1のクロック信号の n 乗倍の第2のクロック信号で逆拡散符号を切り換えることにより、同一の拡散変調信号に対して複数種類の逆拡散符号で逆拡散演算が行えるとともに、そのための相関検出時間を $1/n$

に短縮できる。

【0041】本発明の第9の態様は、第6又は第7の態様において、第2のデータ保持手段は、直列接続された複数のフリップフロップで構成されたシフトレジスタを有し、前記シフトレジスタの1段目のフリップフロップに入力する逆拡散符号が第2のクロック信号に同期して順次後段のフリップフロップへ転送され、各フリップフロップの出力が逆拡散符号として逆拡散演算器へ与えられる構成を採る。

【0042】この構成によれば、1つのシフトレジスタで逆拡散符号の切換えを実行することができるので、1位相分だけずれた逆拡散符号を連続して発生させることができるとともに、逆拡散符号発生部の回路構成を簡素化できる。

【0043】本発明の第10の態様は、第6又は第7の態様において、逆拡散符号が第2のクロック信号に同期して順次入力される複数の書込み用シフトレジスタと、第2のデータ保持手段に逆拡散符号として保持すべき前記書込み用シフトレジスタの出力信号をコード切換え信号に基づいて前記複数の書込み用シフトレジスタから選択する選択手段とを備えた構成を採る。

【0044】この構成によれば、複数の書込み用シフトレジスタで逆拡散符号を切り換えることにより、符号切換えに要する時間を短縮化できる。

【0045】本発明の第11の態様は、第6又は第7の態様において、第1のデータ保持手段は、 m 倍にオーバーサンプリングされた拡散変調信号を保持可能な M 段のレジスタ長を有し、第1のクロック信号に同期してデータ転送するシフトレジスタと、前記シフトレジスタの各段の出力信号から相関検出の対象となる拡散変調信号として $1/m$ の出力信号を選択するセレクタとを具備した構成を採る。

【0046】この構成によれば、オーバーサンプリングされた拡散変調信号を切換えて相関検出できるので、検出精度を高くすることができる。

【0047】本発明の第12の態様は、第6又は第7の態様において、第1のデータ保持手段は、パラレルに書込み／読出し可能な複数のメモリと、前記メモリに対する拡散変調信号の書込みアドレス及び読み出しアドレスを第1のクロックに同期して制御するアドレス制御手段とを具備した構成を採る。

【0048】この構成によれば、拡散変調信号が保持される第1のデータ保持手段をパラレルに書込み／読出し可能なメモリで構成することができる。

【0049】本発明の第13の態様は、受信した拡散変調信号を第1乃至第12の態様の相関検出装置に入力して拡散符号での相関検出を行い、相関検出結果に基づいて同期獲得を行い、獲得した同期タイミングに基づいて通信制御するCDMA受信装置であり、逆拡散符号の切換えタイミングを逆拡散演算の演算タイミングから確実

にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0050】本発明の第14の態様は、本発明の第12の態様のCDMA受信装置を備え、前記CDMA受信装置にCDMA無線通信で受信した拡散変調信号を入力して同期獲得し、獲得した同期タイミングに基づいて通信制御する移動体通信端末装置であり、逆拡散符号の切換えタイミングを逆拡散演算の演算タイミングから確実にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0051】本発明の第15の態様は、第13の態様のCDMA受信装置を備え、前記CDMA受信装置にCDMA無線通信で受信した拡散変調信号を入力して同期獲得する移動体通信基地局装置であり、逆拡散符号の切換えタイミングを逆拡散演算の演算タイミングから確実にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0052】本発明の第16の態様は、拡散変調信号と逆拡散符号との相関値を演算する逆拡散演算器で逆拡散演算中の拡散変調信号の変化前に次の逆拡散演算で使用する逆拡散符号を切り換える方法であり、逆拡散符号の切換えタイミングを逆拡散演算の演算タイミングから確実にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0053】本発明の第17の態様は、相関検出対象になる拡散変調信号をデータ保持部に順次入力するための第1のクロック信号と、前記データ保持部に保持された拡散変調信号と相関をとる逆拡散符号を切り換える第2のクロック信号とに速度差を設け、逆拡散演算を行う有効なタイミングで逆拡散符号を切り換える逆拡散符号切換え方法であり、逆拡散符号の切換えタイミングを逆拡散演算の演算タイミングから確実にずらすことが出来、受信信号に対して逆拡散を連続して行うことができる。

【0054】以下、本発明の実施の形態について、図面を参照しながら具体的に説明する。

【0055】(実施の形態1)図1は、本発明の実施の形態1にかかるマッチトフィルタの逆拡散符号切り換え部の構成を示したものである。実施の形態1のマッチトフィルタは、拡散変調信号に逆拡散符号を掛け合わせる逆拡散演算を行う逆拡散演算器100と、逆拡散演算器100に供給する逆拡散符号の切り換えを行う逆拡散符号切り換え器101とを備えている。

【0056】逆拡散演算器100は、受信入力端102に拡散変調されたデジタル信号からなる拡散変調信号が与えられ、クロック信号入力端103に逆拡散演算タイミングを与える第1のクロックが印加される。また、逆拡散演算器100は逆拡散演算結果を出力端104より出力する。

【0057】逆拡散符号切り換え器101は、逆拡散符号入力端105に逆拡散符号列が入力され、クロック信

号入力端106に逆拡散符号を切り換えるためのタイミングを与える第2のクロックが与えられ、さらにロード信号入力端107に切り換えられた逆拡散符号108を逆拡散演算器100へロードするためのロード信号が印可される。

【0058】以上の様に構成された本実施の形態のマッチトフィルタにおける逆拡散符号切り換え動作について説明する。図2は本実施の形態における逆拡散符号切り換え動作のタイムチャートである。同図に示すように、逆拡散演算タイミングを与える第1のクロックCL1と逆拡散符号切換えタイミングを与える第2のクロックCL2との位相をずらすことにより、第2のクロックCL2の立ち上がり第1のクロックCL1の立ち上がりとが常にずれるように設定している。

【0059】以下、図2のタイムチャートにしたがって逆拡散符号切り換え動作を具体的に説明する。

【0060】時間T1では、受信入力端101より第1のクロックCL1に同期して拡散変調されたデジタル信号D0が逆拡散演算器100に取り込まれ、時間T2では、第1のクロックCL1に同期して拡散変調されたデジタル信号D1が逆拡散演算器100に取り込まれる。

【0061】また、時間T2では、第1のクロックCL1に同期して、時間T1で取り込まれたデジタル信号D0と逆拡散切り換え器101より入力する逆拡散符号C0との逆拡散演算が行われ、出力端104より演算結果 $C0 \times D0$ を出力する。

【0062】時間T3では、クロック信号入力端103から入力される第1のクロックCL1に同期して、受信入力端102より拡散変調されたデジタル信号D2が入力され逆拡散演算器100に取り込まれる。そして、クロック信号入力端103から入力する第1のクロックCL1に同期して、時間T2で取り込まれたデジタル信号D1と逆拡散切り換え器101より入力する切り換え後の逆拡散符号C1との逆拡散演算が行われ、出力端104より演算結果 $C1 \times D1$ を出力する。

【0063】ここで、逆拡散演算器100で逆拡散演算に使用する逆拡散符号Cは、第2のクロックCL2に同期したロード信号RDによって切り換えられる。すなわち、逆拡散演算タイミングとなる第1のクロックCL1が立上がった後に立上る第2のクロックCL2の立ち上がりタイミングに同期したロード信号RDにより逆拡散符号がC0からC1に切り換わる。

【0064】この結果、更新された逆拡散符号Cを、次の逆拡散演算に反映し得る範囲で、且つ第1のクロックCL1とは異なるタイミングで逆拡散演算器100へ与えることができる。

【0065】このような実施の形態1によれば、更新された逆拡散符号Cを、次の逆拡散演算に反映し得る範囲で、且つ第1のクロックCL1とは異なるタイミングで逆拡散演算器100へ与えることができるので、連続し

て相関検出を必要とされているシステムにおいて誤ることなく特定された逆拡散符号で連続して演算を実行出来る。

【0066】(実施の形態2)図3は本発明の実施の形態2にかかる5倍拡散のマッチフィルタの構成を示す図である。実施の形態2のマッチフィルタは上記した実施の形態1に示したマッチフィルタの構成を具体化したものであり、図1のマッチフィルタと同一機能の部分には同一符号を付している。

【0067】逆拡散演算器200は、拡散変調されたデジタル信号からなる拡散変調信号が受信入力端102に与えられ、逆拡散演算タイミングを与える第1のクロックがクロック信号入力端103に与えられ、逆拡散演算結果が出力端104より出力される。

【0068】この逆拡散演算器200の内部には、拡散変調信号が蓄えられるシフトレジスタ210と、シフトレジスタ210に蓄えられた拡散変調信号と逆拡散符号切り換え器201から入力する逆拡散符号との逆拡散演算を実行する逆拡散演算部220とを備えている。

【0069】シフトレジスタ210は、直列接続された複数のフリップフロップ211～215から構成されており、一段目のフリップフロップ211に受信入力端102に投入した拡散変調信号が与えられ、各フリップフロップ211～215にクロック信号入力端103に投入した第1のクロックCL1が平行に与えられるようにしている。

【0070】逆拡散演算部220は、シフトレジスタ210に保持可能な拡散変調信号数に対応した数の乗算器221～225と、全乗算器221～225の出力の総和を相関信号として出力端104へ出力する加算器226とを備えている。

【0071】一方、逆拡散符号切り換え器201は、逆拡散符号入力端105に逆拡散符号列が投入され、クロック信号入力端106に逆拡散符号を切り換えるためのタイミングを与える第2のクロックCL2が与えられ、ロード信号入力端107に切り換えられた逆拡散符号を逆拡散演算器200へロードするためのロード信号が与えられ、さらにホールド信号入力端202にホールド信号が投入される。

【0072】この逆拡散符号切り換え器201の内部には、逆拡散符号入力端105に与えられる逆拡散符号列を保持する書込み用シフトレジスタ230と、逆拡散演算部220へ逆拡散演算のために出力する逆拡散符号が書込み用シフトレジスタ230からロードされる演算用レジスタ240とが備えられている。

【0073】書込み用シフトレジスタ230は、直列接続された複数のフリップフロップ231～235から構成されており、一段目のフリップフロップ231に逆拡散符号入力端105に投入した逆拡散符号が与えられ、各フリップフロップ231～235にクロック信号入力

端106に投入した第2のクロックCL2が平行に与えられるようにしている。また、フリップフロップ231～235にホールド信号入力端202からホールド信号が平行に与えられる。

【0074】演算用レジスタ240は、書込み用シフトレジスタ230のフリップフロップ231～235に対応した数のフリップフロップ241～245で構成されている。フリップフロップ241～245は、書込み用シフトレジスタ230の対応するフリップフロップ231～235から逆拡散符号が投入され、クロック信号入力端106から第2のクロックCL2が平行に与えられる。そして、ロード信号によって新しい逆拡散符号を書込み用シフトレジスタ230から書き込むようになっている。

【0075】以上のように構成された実施の形態の動作について図4を参照して説明する。

【0076】本実施の形態では、逆拡散演算器200のクロック信号入力端103に第1のクロックCL1として4.096MHzクロックを投入し、逆拡散符号切り換え器201のクロック信号入力端106に第2のクロックCL2として第1のクロックCL1の2連倍のクロックである8.192MHzクロックを投入する。

【0077】受信入力端102に、アナログのスペクトル拡散信号が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号が投入される。例えばデジタル信号は6ビットの信号であるとする。

【0078】シフトレジスタ210の第1段目のフリップフロップ211に保持されたデジタル信号が第1のクロックCL1に同期して順次後段のフリップフロップに転送され、各フリップフロップ211～215の出力が対応する乗算器221～225へ与えられる。

【0079】乗算器221～225では、フリップフロップ211(6ビット)～215の出力信号と演算用レジスタ240の出力信号(1ビット)との乗算が平行に行われる。これら乗算器221～225出力信号が加算器226で加算されて出力端104より出力される。

【0080】具体的な乗算動作について説明する。

【0081】まず、逆拡散符号切り換え前の乗算について説明する。

【0082】逆拡散符号切り換え前の状態として、書込み用シフトレジスタ230のフリップフロップ群231～235の出力信号が逆拡散符号列C-5、C-4、C-3、C-2、C-1であり、演算用レジスタ224を構成するフリップフロップ群241～245の出力信号が逆拡散符号列C-5、C-4、C-3、C-2、C-1であるとする。

【0083】この状態で、第1のクロックCL1に同期してデジタル信号の1番目のサンプリングデータD0が

フリップフロップ211に取り込まれると、このサンプリングデータD0と逆拡散符号C-1との乗算が乗算器209で行われ、 $D0 \times C-1$ の値を示す出力信号が乗算器209より出力される。

【0084】第1のクロックCL1の次のクロックタイミングで、デジタル信号の2番目のサンプリングデータD1がフリップフロップ211に取り込まれ、1番目のサンプリングデータD0がフリップフロップ212に取り込まれる。フリップフロップ211、212に保持されたサンプリングデータD1、D0が対応する乗算器221、222で逆拡散符号C-1、C-0と乗算され、 $D1 \times C-1$ の値を示す出力信号が乗算器221より出力されると共に、 $D0 \times C-2$ の値を示す出力信号が乗算器222より出力される。同様の動作が5番目のサンプリングデータD4が入力されるまで繰り返される。

【0085】以上の動作より、デジタル信号の最初の5個のサンプリングデータD0～D4と逆拡散符号列C-5、C-4、C-3、C-2、C-1との相関値を求めるために必要な乗算が全て行われ、加算器226によりそれぞれの乗算器の乗算結果の加算が行われ、出力端104より相関結果H(4)が出力される。

【0086】このようにして、デジタル信号の5個のサンプルデータD0、D1、D2、D3、D4と5ビットの逆拡散符号列C-5、C-4、C-3、C-2、C-1との相関値を求めるのに必要な逆拡散演算がすべて行われる。

【0087】一方、逆拡散符号切り換え器201では次のようにして逆拡散符号の切り換えが実行されている。

【0088】ホールド信号入力端202のホールド信号がローレベルの時、クロック信号入力端106より入力される第2のクロックCL2に同期して、逆拡散符号入力端105よりC0、C1、C2、C3、C4が書込み用シフトレジスタ230に順次入力される。このようにして、書込み用シフトレジスタ230に保持される逆拡散符号列が第1のクロックCL1の2通倍の第2のクロックCL2で更新される。そして、ロード信号入力端107より入力されるロード信号がローレベルの時、第2のクロックCL2に同期して、かつ、逆拡散演算器100の第1のクロックCL1の立ち下がり時に、書込み用シフトレジスタ230の逆拡散符号列C0、C1、C2、C3、C4が演算用レジスタ224にロードされる。演算用レジスタ224にロードされた逆拡散符号列C0、C1、C2、C3、C4が逆拡散演算器100の乗算器221～225へ与えられて逆拡散演算に反映される。

【0089】このように、ロード信号がローレベルの時、第2のクロックCL2に同期して、かつ逆拡散演算の第1のクロックCL1とは異なるタイミングにて、書込み用シフトレジスタ230の逆拡散符号列C0、C1、C2、C3、C4が演算用レジスタ240にロード

される。

【0090】したがって、本実施の形態によれば、逆拡散演算のタイミングとなる第1のクロックCL1の2通倍の第2のクロックCL2に同期して逆拡散符号列C0、C1、C2、C3、C4を演算用レジスタ240にロードするようにしたので、連続して相関検出を必要とされているシステムにおいて誤ることなく特定された逆拡散符号で連続して演算を実行出来る。

【0091】(実施の形態3) 図5は本発明の実施の形態3にかかるマッチトフィルタの構成を示す回路図である。実施の形態3のマッチトフィルタは、上記第1のクロックCL1の反転信号を第2のクロックCL2として用いる点を除き、上記実施の形態2とほぼ同じ構成を有している。なお、図3に示す実施の形態2のマッチトフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0092】本実施の形態のマッチトフィルタに備えられる逆拡散演算器300には、クロック信号入力端103に入力する第1のクロックCL1を位相反転させて逆拡散符号切り換え器301へ第2のクロックCL2として出力するインバータ310を備えている。一方、逆拡散符号切り換え器301はインバータ310の出力信号を第2のクロックCL2として取込み、書込み用レジスタ230と演算用レジスタ240に与えている。

【0093】以上のように構成された実施の形態の動作について図6に示すタイムチャートを参照して説明する。

【0094】インバータ310で第1のクロックCL1を位相反転させて生成した第2のクロックCL2に同期して逆拡散符号列が書込み用レジスタ230に入力される。そして、第2のクロックCL2の立ち上がりに同期したロード信号により書込み用レジスタ230の逆拡散符号が演算用レジスタ240にロードされる。この結果、演算用レジスタ240に逆拡散符号が書き込まれるタイミングは必ず第1のクロックCL1の立ち上がりとは1/2周期程度ずれるので、受信信号に対して逆拡散を連続して行うことができる。

【0095】このように本実施の形態によれば、4.096MHzクロックに同期した6ビットのデジタル信号を特定された逆拡散符号で連続して、かつ4.096MHzの単一のクロックのみを用いて、逆拡散演算を実行出来る。

【0096】(実施の形態4) 図7は本発明の実施の形態4にかかるマッチトフィルタの構成を示す回路図である。実施の形態4のマッチトフィルタは、拡散変調信号を蓄えるシフトレジスタ210のデータを保持する為に、セクタ403を用いる点を除き、上記実施の形態2とほぼ同じ構成を有している。なお、図3に示す実施の形態2のマッチトフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0097】本実施の形態のマッチフィルタに備えられる逆拡散演算器400には、データホールド信号入力端402から入力する信号で、データを保持するか、受信入力端102に inputsした拡散変調信号が与えられるか制御するセクタ403を備えている。

【0098】以上のように構成された実施の形態の動作について図8に示すタイムチャートを参照して説明する。

【0099】セクタ403を用い、次のようにしてシフトレジスタ210に蓄えられた拡散変調信号を保持する。

【0100】データホールド信号入力端402のデータホールド信号がローレベルの時、セクタ403の出力はローレベルに固定され、シフトレジスタ210に平行に与えられている第1のクロックCL1を止め、シフトレジスタ210の値を保持する。

【0101】また、逆拡散符号切り換え前の乗算及び、逆拡散符号の切り換えの乗算動作は実施の形態2と同じように行う為、書込み用シフトレジスタ240にデータを蓄える速度はシフトレジスタ210にデータを蓄える速度に比べ2倍となる。

【0102】したがって、本実施の形態によれば、連続して、かつ拡散変調信号を保持する機能を有し、シフトレジスタ210の2倍の速度で書込み用シフトレジスタ240に書込みを行う為、複数の逆拡散符号での演算を連続かつ1/2の速度で行う事が出来る。

【0103】(実施の形態5)図9は本発明の実施の形態5にかかるマッチフィルタの構成を示す回路図である。実施の形態5のマッパフィルタは、逆拡散符号器501の内部の構成が演算用レジスタ240のみとなる点を除き、上記実施の形態4とほぼ同じ構成を有している。なお、図7に示す実施の形態4のマッパフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0104】本実施の形態のマッパフィルタに備えられる逆拡散演算器501には、逆拡散符号入力端105に逆拡散符号列が inputs され、クロック信号入力端106に逆拡散符号を切り換えるためのタイミングを与える第2のクロックCL2が与えられ、ロード信号入力端107に切り換えられた逆拡散符号を逆拡散演算器500へロードするためのロード信号が与えられる。

【0105】この逆拡散符号切り換え器501の内部には、逆拡散符号入力端105に与えられる逆拡散符号列を保持し、逆拡散演算部220へ逆拡散演算のために出力を行う演算用レジスタ240とが備えられている。

【0106】演算用レジスタ240は、直列接続された複数のフリップフロップ241～245から構成されており、一段目のフリップフロップ241に逆拡散符号入力端105に inputs した逆拡散符号が与えられ、各フリップフロップ241～245にクロック信号入力端106

に inputs した第2のクロックCL2が平行に与えられるようにしている。また、フリップフロップ241～245にロード信号入力端107からロード信号が平行に与えられ、新しい逆拡散符号を逆拡散符号入力端105から書き込むようになっている。以上のように構成された実施の形態の動作について図10に示すタイムチャートを参照して説明する。

【0107】逆拡散符号切り換え器501では次のようにして逆拡散符号の切り換えが実行されている。

【0108】ロード信号入力端107のロード信号がローレベルの時、クロック信号入力端106より inputs される第2のクロックCL2に同期して、かつ、逆拡散演算器300の第1のクロックCL1の立ち下がり時に、逆拡散符号入力端105よりC0が演算用シフトレジスタ240に inputs される。演算用レジスタ240にロードされた逆拡散符号列C-4、C-3、C-2、C-1、C0が逆拡散演算器300の乗算器221～225へ与えられて逆拡散演算に反映される。

【0109】このように、ロード信号がローレベルの時、第2のクロックCL2に同期して、かつ逆拡散演算の第1のクロックCL1とは異なるタイミングにて、逆拡散符号C0が演算用レジスタ240の第1のフリップフロップ241にロードされ、演算用レジスタ240は新しい逆拡散符号列C-4、C-3、C-2、C-1、C0となる。

【0110】したがって、逆拡散演算のタイミングとなる第1のクロックCL1の2通倍の第2のクロックCL2に同期して演算用シフトレジスタ230に蓄えられていた逆拡散符号列C-5、C-4、C-3、C-2、C-1から1クロック位相分ずらした逆拡散符号列C-4、C-3、C-2、C-1、C0を演算用レジスタ240にロードすることができる。

【0111】本実施の形態によれば、連続して1クロック位相分ずれた逆拡散符号を演算用レジスタ240にロードすることができるので、連続して1クロック位相分ずれた逆拡散符号の相関検出を必要とされているシステムにおいて、誤ることなく特定された逆拡散符号で連続して演算を実行出来る。

【0112】(実施の形態6)図11は本発明の実施の形態6にかかるマッチフィルタの構成を示す回路図である。実施の形態6のマッパフィルタは、逆拡散符号器601の内部の構成が書込み用レジスタ230、610と2系統有する点を除き、上記実施の形態4とほぼ同じ構成を有している。なお、図7に示す実施の形態4のマッパフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0113】逆拡散符号切り換え器601は、逆拡散符号入力端105、602に逆拡散符号列がそれぞれ inputs され、クロック信号入力端106に逆拡散符号を切り換えるためのタイミングを与える第2のクロックCL2が

与えられ、ロード信号入力端107に切り換えられた逆拡散符号を逆拡散演算器200へロードするためのロード信号が与えられ、さらにホールド信号入力端202、604にホールド信号がそれぞれ入力され、コード切り換え信号入力端603にコード切り換え信号が入力される。

【0114】この逆拡散符号切り換え器601の内部には、逆拡散符号入力端105に与えられる逆拡散符号列を保持する書込み用シフトレジスタ230と、逆拡散符号入力端602に与えられる逆拡散符号列を保持する書込み用シフトレジスタ610と、書込み用シフトレジスタ230と書込み用シフトレジスタ610の値を切り換えるセクタ群611と、逆拡散演算部220へ逆拡散演算のために出力する逆拡散符号が、セクタ群611から入力される演算用レジスタ240とが備えられている。

【0115】書込み用シフトレジスタ230は、直列接続された複数のフリップフロップ231～235から構成されており、一段目のフリップフロップ231に逆拡散符号入力端105に入力した逆拡散符号が与えられ、各フリップフロップ231～235にクロック信号入力端106に入力した第2のクロックCL2が平行に与えられるようにしている。また、フリップフロップ231～235にホールド信号入力端202からホールド信号が平行に与えられる。書込み用シフトレジスタ610も同様の構成である。

【0116】演算用レジスタ240は、セクタ群611に対応した数のフリップフロップ241～245で構成されている。セクタ群611は書込み用シフトレジスタに対応した数のセクタ605～609で構成され、コード切り換え信号入力端603からコード切り換え信号が与えられ、書込み用シフトレジスタ230のフリップフロップ231～235と書込み用シフトレジスタ610のフリップフロップ611～615の出力を切り換える。フリップフロップ241～245は、セクタ605～609に対応する逆拡散符号が入力され、クロック信号入力端106から第2のクロックCL2が平行に与えられる。そして、ロード信号によって新しい逆拡散符号をセクタ群611から書き込むようになっている。

【0117】以上のように構成された実施の形態の動作について図12に示すタイムチャートを参照して説明する。

【0118】逆拡散符号切り換え器201では次のようにして逆拡散符号の切り換えが実行されている。

【0119】ホールド信号入力端202のホールド信号がローレベルの時、クロック信号入力端106より入力される第2のクロックCL2に同期して、逆拡散符号入力端105よりC0、C1、C2、C3、C4が書込み用シフトレジスタ230に順次入力される。

【0120】このようにして、書込み用シフトレジスタ230に保持される逆拡散符号列が第1のクロックCL1の2通倍の第2のクロックCL2で更新される。同様に、書込み用シフトレジスタ610も逆拡散符号列が更新される。そして、コード切り換え信号入力端603より入力されるコード切り換え信号がハイレベルで、ロード信号入力端107より入力されるロード信号がローレベルの時、第2のクロックCL2に同期して、かつ、逆拡散演算器100の第1のクロックCL1の立ち下がり時に、書込み用シフトレジスタ230の逆拡散符号列C0、C1、C2、C3、C4が演算用レジスタ224にロードされる。演算用レジスタ224にロードされた逆拡散符号列C0、C1、C2、C3、C4が逆拡散演算器100の乗算器221～225へ与えられて逆拡散演算に反映される。また、コード切り換え信号入力端603より入力されるコード切り換え信号がローレベルで、ロード信号入力端107より入力されるロード信号がローレベルの時、第2のクロックCL2に同期して、かつ、逆拡散演算器100の第1のクロックCL1の立ち下がり時に、書込み用シフトレジスタ610の逆拡散符号列C5、C6、C7、C8、C9が演算用レジスタ224にロードされる。演算用レジスタ224にロードされた逆拡散符号列C5、C6、C7、C8、C9が逆拡散演算器100の乗算器221～225へ与えられて逆拡散演算に反映される。

【0121】このように、コード切り換え信号により2系統の書込み用シフトレジスタの切り換えを行い、第2のクロックCL2に同期して、かつ逆拡散演算の第1のクロックCL1とは異なるタイミングにて、2系統のどちらかの書込み用シフトレジスタの逆拡散符号列が演算用レジスタ240にロードされる。

【0122】したがって、本実施の形態によれば、書込み用シフトレジスタを2系統有する事で、特定された逆拡散符号で連続してかつ1/4の速度で演算を実行出来る。

【0123】(実施の形態7) 図13は本発明の実施の形態7にかかるマッチトフィルタの構成を示す回路図である。実施の形態7のマッチトフィルタは、シフトレジスタを2倍オーバーサンプリングされた拡散変調信号を保持可能なレジスタ長を有している点と、相関検出の対象なる拡散変調信号として1/2の出力信号を選択するセクタ群を有している点を除いては、上記実施の形態4とほぼ同じ構成を有している。なお、図9に示す実施の形態4のマッチトフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0124】本実施の形態のマッチトフィルタに備えられる逆拡散演算器700のクロック信号入力端103に第1のクロックCL1として8.192MHzクロックを入力し、逆拡散符号切り換え器701のクロック信号入力端106には第2のクロックCL2として第1のク

ロックCL1の2進倍である16.384MHzクロックを入力する。

【0125】また、逆拡散演算器700の内部に備えているシフトレジスタ713は、直列接続された複数のフリップフロップ703～712から構成されており、一段目のフリップフロップ703に受信入力端102に入力した拡散変調信号が与えられ、各フリップフロップ703～712にクロック信号入力端103に入力した第1のクロックCL1が平行に与えられるようにしている。また、2倍にオーバーサンプリングされた拡散変調信号をセクタ群719により選択し、逆拡散演算部220に与えられるようになっている。

【0126】以上のように構成された実施の形態の動作について図13に示すタイムチャートを参照して説明する。

【0127】第1のクロックCL1に同期してデジタル信号の1番目のサンプリングデータD0がフリップフロップ211に取り込まれると、このサンプリングデータD0と逆拡散符号C-1との乗算が乗算器209で行われ、 $D0 \times C-1$ の値を示す出力信号が乗算器209より出力される。

【0128】第1のクロックCL1の次のクロックタイミングで、デジタル信号の2番目のサンプリングデータD1がフリップフロップ211に取り込まれ、1番目のサンプリングデータD0がフリップフロップ212に取り込まれる。フリップフロップ211、212に保持されたサンプリングデータD1、D0が対応する乗算器221、222で逆拡散符号C-1、C-0と乗算され、 $D1 \times C-1$ の値を示す出力信号が乗算器221より出力されると共に、 $D0 \times C-2$ の値を示す出力信号が乗算器222より出力される。同様の動作が10番目のサンプリングデータD9が入力されるまで繰り返される。

【0129】そして、セクタ群719では、データセレクト信号端702に入力されるデータセレクト信号がハイレベルの時、2倍オーバーサンプリングされた拡散変調信号の奇数番目を、ローレベルの時、偶数番目のデータを選択し、時分割に逆拡散演算部220に2倍オーバーサンプリングされた拡散変調信号を与える。その為、連続して2倍オーバーサンプリングされた拡散変調信号に対し、逆拡散演算を行なう事が出来る。

【0130】このように本実施の形態によれば、8.192MHzクロックに同期した6ビットのデジタル信号を特定された逆拡散符号で連続して、かつ受信タイミング検出の精度を向上した逆拡散演算を実行出来る。

【0131】(実施の形態8)図15は本発明の実施の形態8にかかるいずれかのマッチトフィルタの構成を示す回路図である。実施の形態8のマッチトフィルタは、受信信号の保持手段としてシフトレジスタを用いる代わりにメモリを用いる点を除いては、上記実施の形態4とほぼ同じ構成を有している。なお、図9に示す実施の形

態4のマッチトフィルタと同一機能を有する部分には同一符号を付し説明の重複を避ける。

【0132】本実施の発明の形態では、逆拡散演算器800の内部に備えているメモリ群806は、平行に書き込み/読み出し可能なメモリ801～805で構成されている。各メモリ801～805にクロック信号入力端103に入力した第1のクロックCL1をカウントするアドレスカウンタ807の出力信号が平行に与えられるようにしている。尚、アドレスカウンタ807の初期状態は4番地を示す"100"とする。

【0133】以上のように構成された実施の形態の動作について図16に示すタイムチャートを参照して説明する。

【0134】第1のクロックCL1がアドレスカウンタ807に入力すると、アドレスカウンタ807の出力信号は0番地を示す"000"となり、メモリ群806の第1のメモリ805が書き込み可能状態となる。2個目の第1のクロックCL1が、アドレスカウンタ807に入力すると、アドレスカウンタ807の出力信号は1番地を示す"001"となり、メモリ群806の第2のメモリ804が書き込み可能状態となる。以下、同様にして第1のクロックCL1に同期して、メモリ803～801が順に書き込み可能状態となる。その後、6番目の第1のクロックCL1がアドレスカウンタ807に入力されると、アドレスカウンタ807の出力信号は0番地を示す"000"となり、第1のメモリ805が書き込み可能状態となる。このように、拡散変調信号は、第1のクロックCL1に同期して、メモリ群806を構成する5段のメモリ801～805に順に取り込まれ保持される。

【0135】この結果、受信信号のメモリを用いた保持手段でも、第1のクロックCL1に同期して受信信号の保持を行えるので、逆拡散演算を連続して行う事が出来る。

【0136】このように本実施の形態によれば、メモリを用いた受信信号の記憶手段を用いて特定された逆拡散符号で連続して逆拡散演算を実行出来る。

【0137】(実施の形態9)本発明の実施の形態9では、上記実施形態1から8に示したマッチトフィルタをCDMA受信装置に適用した例である。

【0138】以下に、本発明の実施の形態9について、図面を参照しながら説明する。

【0139】図17は、本発明の実施の形態9にかかるCDMA受信装置の構成図を示したものである。実施の形態9のCDMA受信装置は、受信アンテナ901と、所定の周波数でフィルタリング及び増幅する高周波信号処理部902と、アナログ信号をデジタル信号に変換するAD変換器903と、受信信号を復調するデータ復調部904と、復号を行なうデータ復号部905と、復号された信号を音声に換えるCODEC部906と、通信

を行うものと同期を獲得もしくは維持を行なうマッチトフィルタ907と、逆拡散符号を発生するコード発生部908と、クロック信号部909、タイミングコントロール部910とを備えている。

【0140】マッチトフィルタ907には、逆拡散演算器911と逆拡散符号切り換え器912とが備えてあり、逆拡散演算器911には、AD変換部903から拡散変調されたデジタル信号からなる拡散変調信号が与えられ、クロック発生部909から与えられる第1クロックCL1が印加される。また、逆拡散符号切り換え器912には、コード発生部908より発生する逆拡散符号が入力し、クロック発生部909から与えられる第2クロックCL2が印加される。タイミングコントロール部910では、逆拡散を行なうタイミング等の制御を行なう。逆拡散演算器911では、逆拡散符号切り換え器912より与えられる逆拡散符号とAD変換部903から与えられる拡散変調信号との逆拡散演算が行われ、同期獲得もしくは維持した結果として逆拡散演算結果がデータ復調部904に出力される。データ復調部904では、マッチトフィルタ907より得られたタイミング結果をもとにデータ復調し、データ復号部にデータを与える。

【0141】なお、マッチトフィルタ907の構成は上記実施の形態2と同じ構成を有しており、受信装置に受信した信号を逆拡散する際、誤ることなく特定された逆拡散符号で連続して逆拡散を行う事が出来る。

【0142】このように本実施の形態によれば、上記実施の形態2と同じ構成を有したマッチトフィルタを含んだCDMA受信装置では特定された逆拡散符号で連続して逆拡散演算を実行出来るため、誤ることなく通信制御を行なう事が出来る。

【0143】なお、実施の形態9の説明では、CDMA受信装置に実施の形態2で説明したマッチトフィルタを用いる場合を説明したが、その他の実施の形態で説明したマッチトフィルタも同様に適用できる。

【0144】また、上記実施の形態1から8で夫々説明したマッチトフィルタのいずれかを、CDMA方式の移動体無線通信を行う基地局装置または移動体装置の無線受信部に備えてもよいし、その他の通信端末の無線受信部として使用してもよい。

【0145】

【発明の効果】以上の様に、本発明は、複数の逆拡散符号での相関検出を欲するシステムにおいて、逆拡散演算処理の動作タイミングと、逆拡散符号の切り換えタイミングを換える事により、複数の逆拡散符号での相関検出を入力されたデジタル信号に対して、特定された逆拡散符号で誤ることなく連続して逆拡散演算を実現出来、動作タイミングのクロックを同期させることにより、LSIへの集積化も容易となる。さらに、逆拡散符号の切り換え速度をm倍速めることにより、切り換えに要する時

間を1/mにする事が出来る。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかるマッチトフィルタの構成図

【図2】図1に示したマッチトフィルタにおける逆拡散符号切り換えの手順を説明するためのタイミング図

【図3】本発明の実施の形態2におけるのマッチトフィルタの構成図

【図4】図3に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図5】本発明の実施の形態3におけるマッチトフィルタの構成図

【図6】図5に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図7】本発明の実施の形態4におけるマッチトフィルタの構成図

【図8】図7に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図9】本発明の実施の形態5におけるマッチトフィルタの構成図

【図10】図9に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図11】本発明の実施の形態6におけるマッチトフィルタの構成図

【図12】図11に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図13】本発明の実施の形態7におけるマッチトフィルタの構成図

【図14】図13に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図15】本発明の実施の形態8におけるマッチトフィルタの構成図

【図16】図15に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

【図17】本発明の実施の形態9におけるCDMA受信装置の構成図

【図18】従来のマッチトフィルタの構成図

【図19】図18に示したマッチトフィルタにおける拡散符号切り換えの手順を説明するためのタイミング図

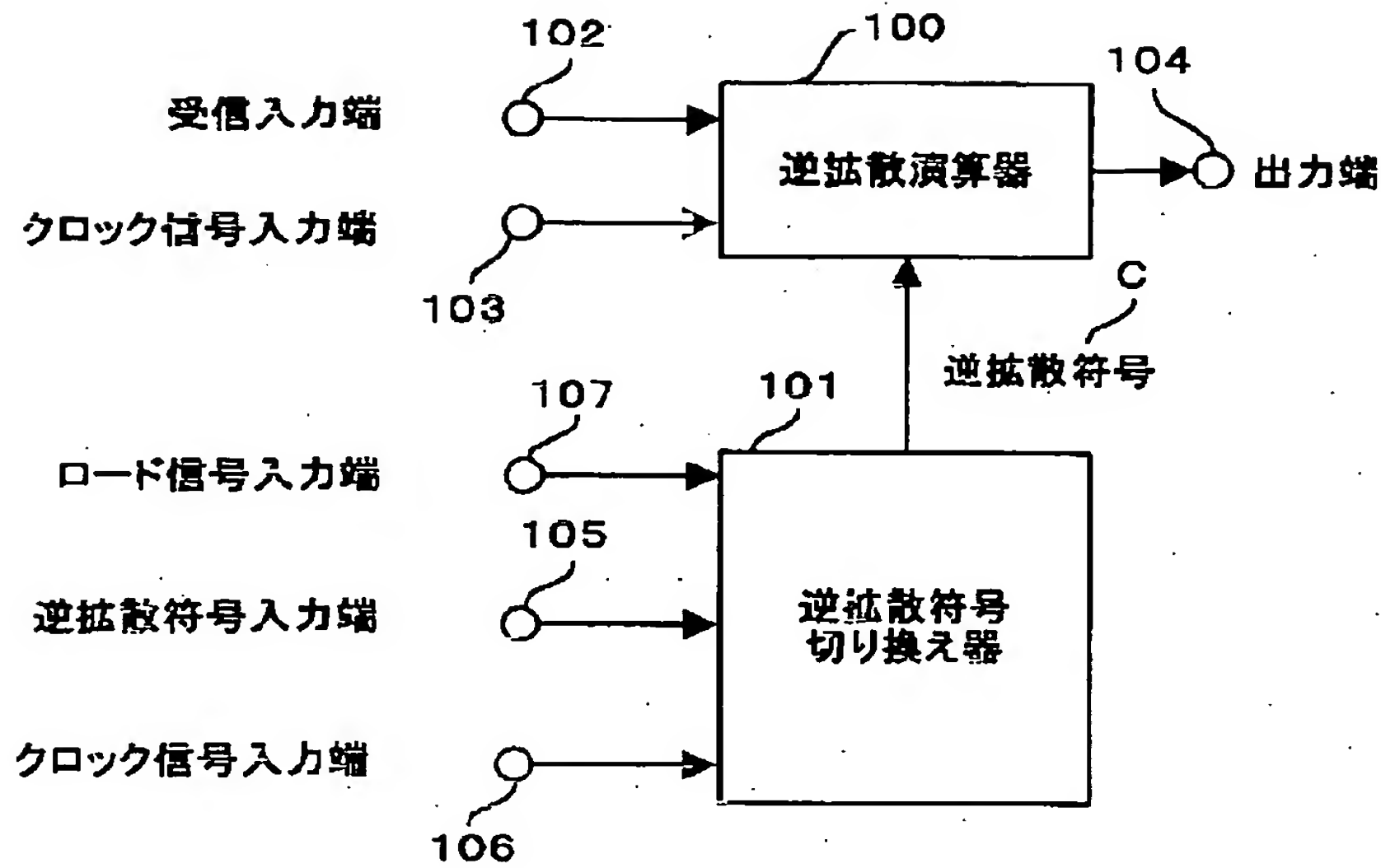
【符号の説明】

- 100 逆拡散演算器
- 101 逆拡散符号切り換え器
- 210 シフトレジスタ
- 211～215 フリップフロップ
- 220 逆拡散演算部
- 221～225 乗算器
- 226 加算器
- 230 書込み用シフトレジスタ
- 240 演算用レジスタ
- 310 インバータ

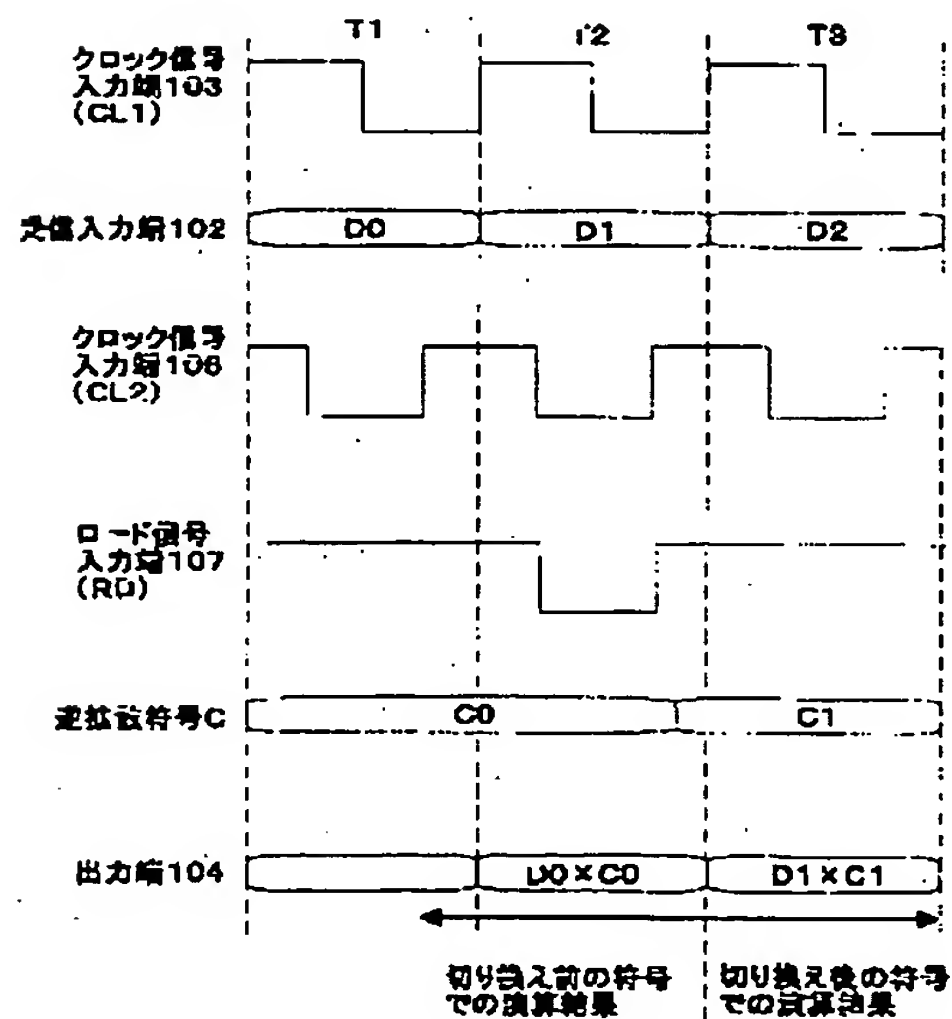
403 セレクタ
611、719 セレクタ群

806 メモリ群
807 アドレスカウンタ

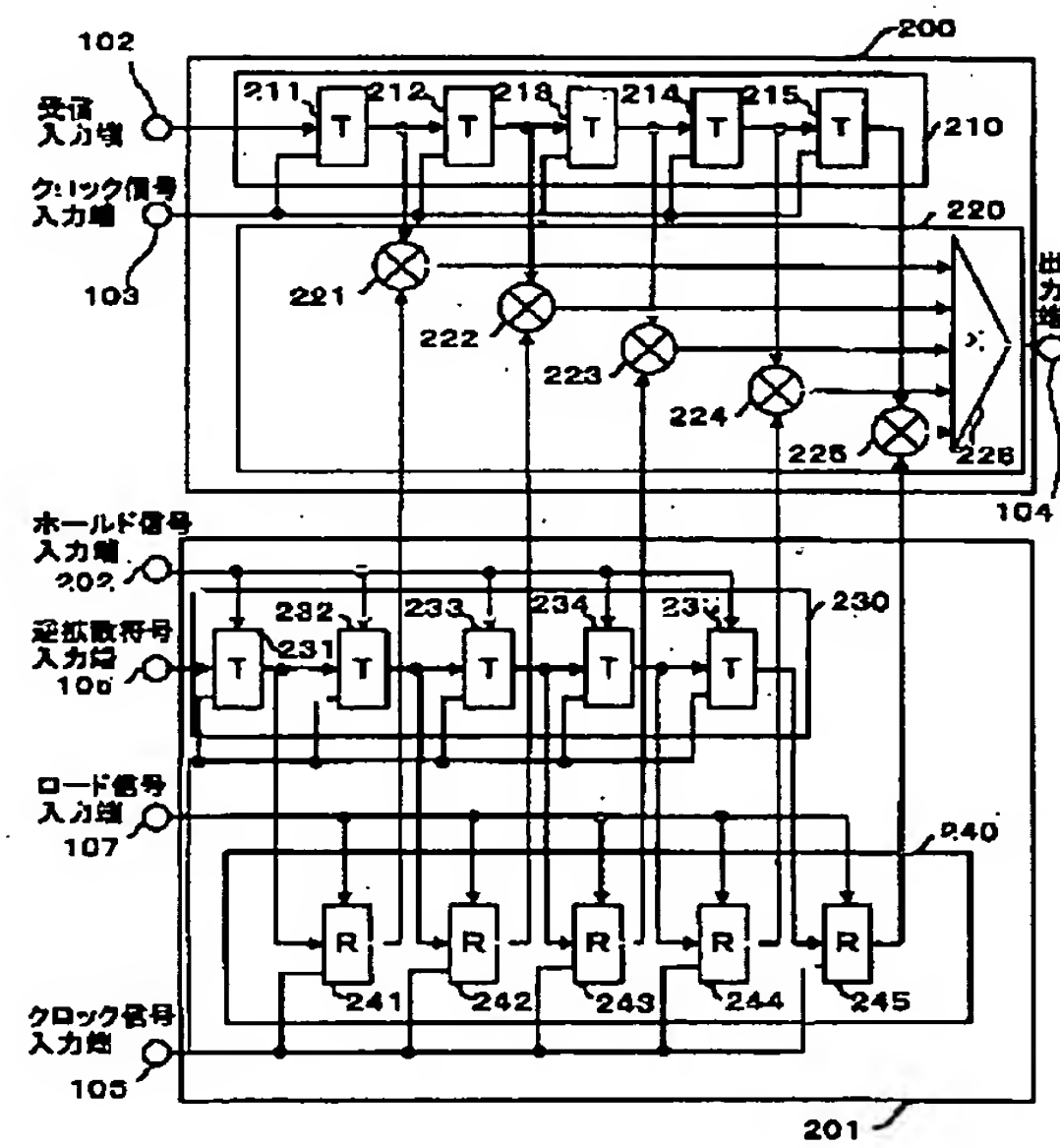
【図1】



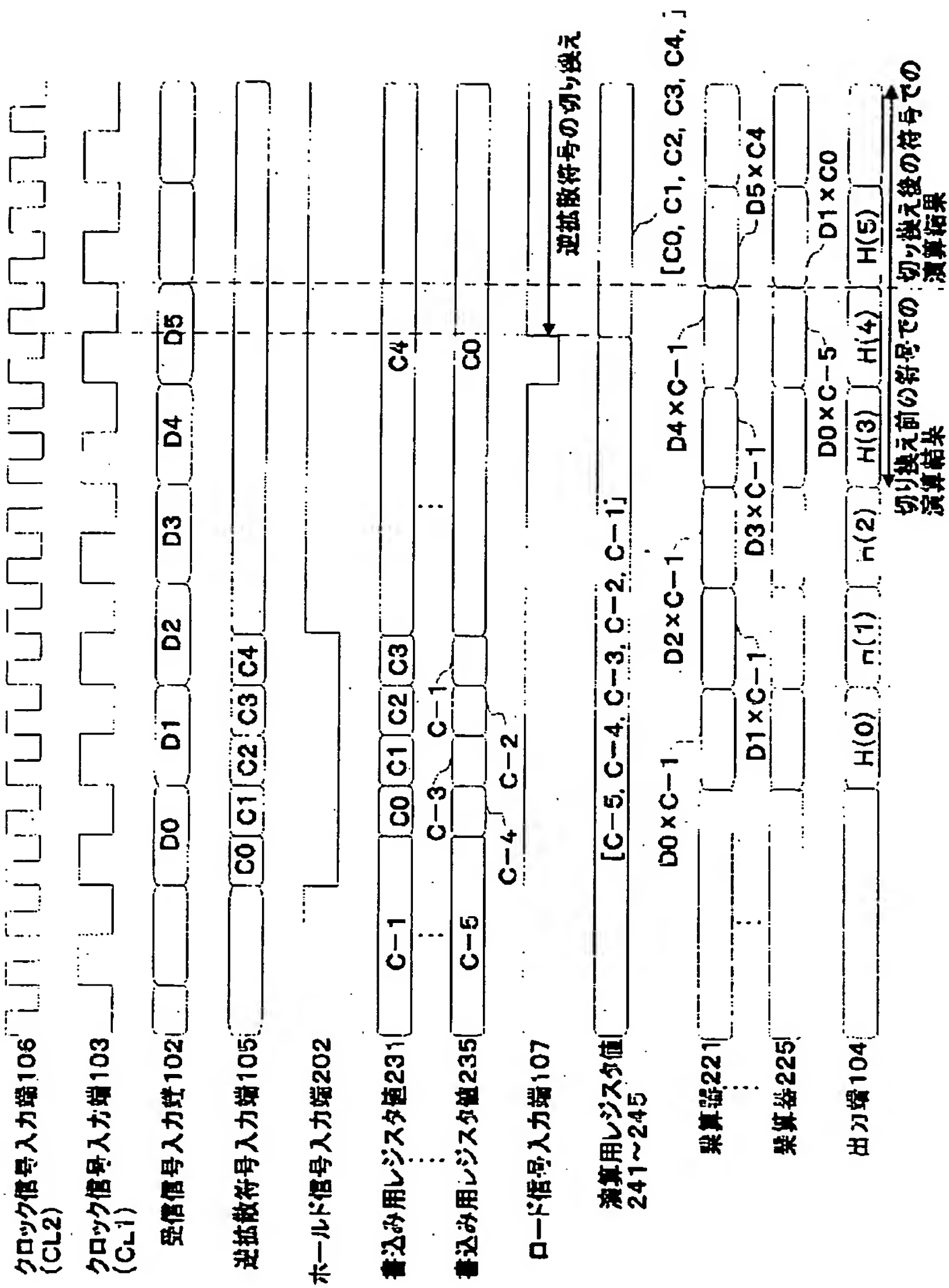
【図2】



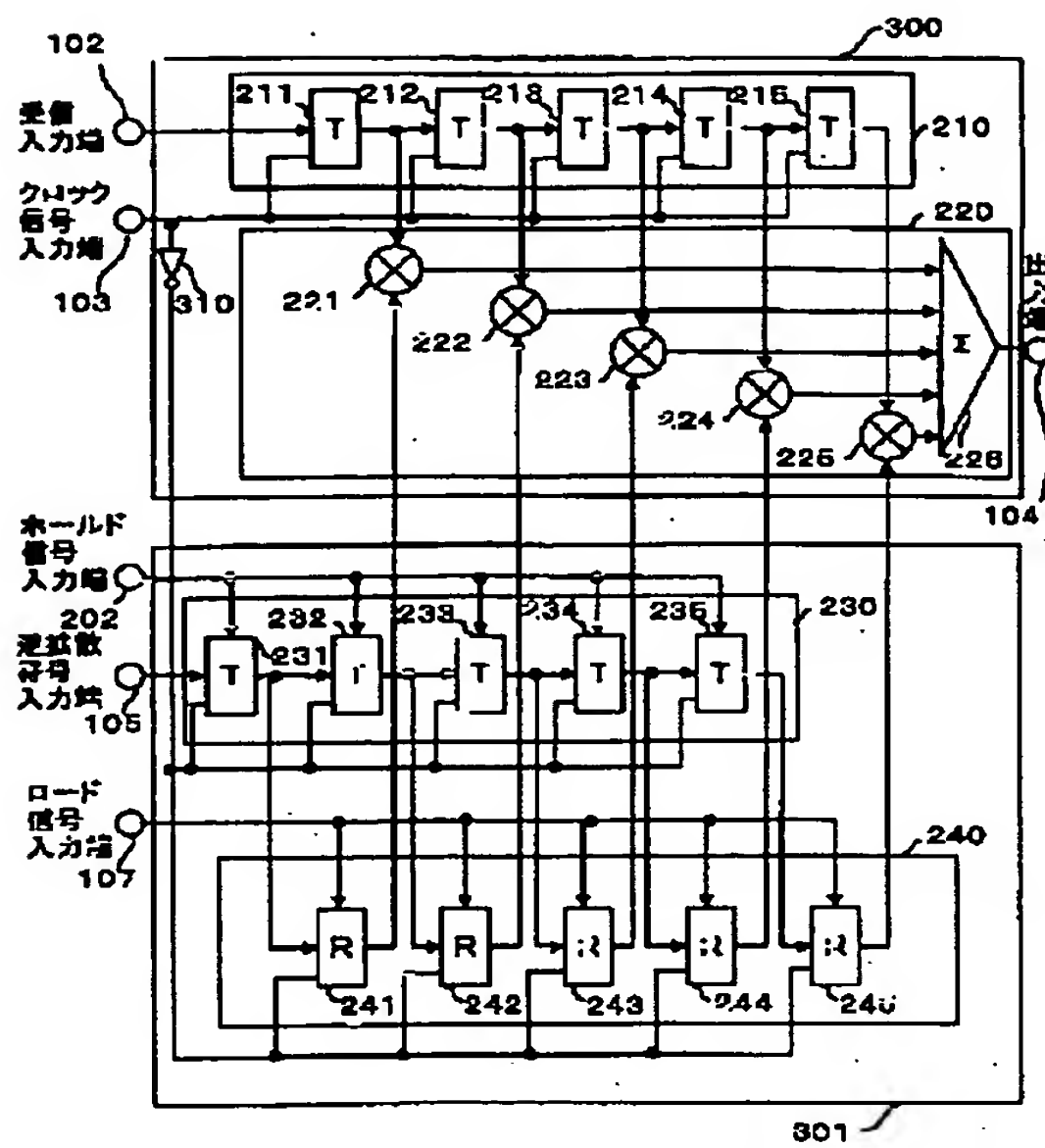
【図3】



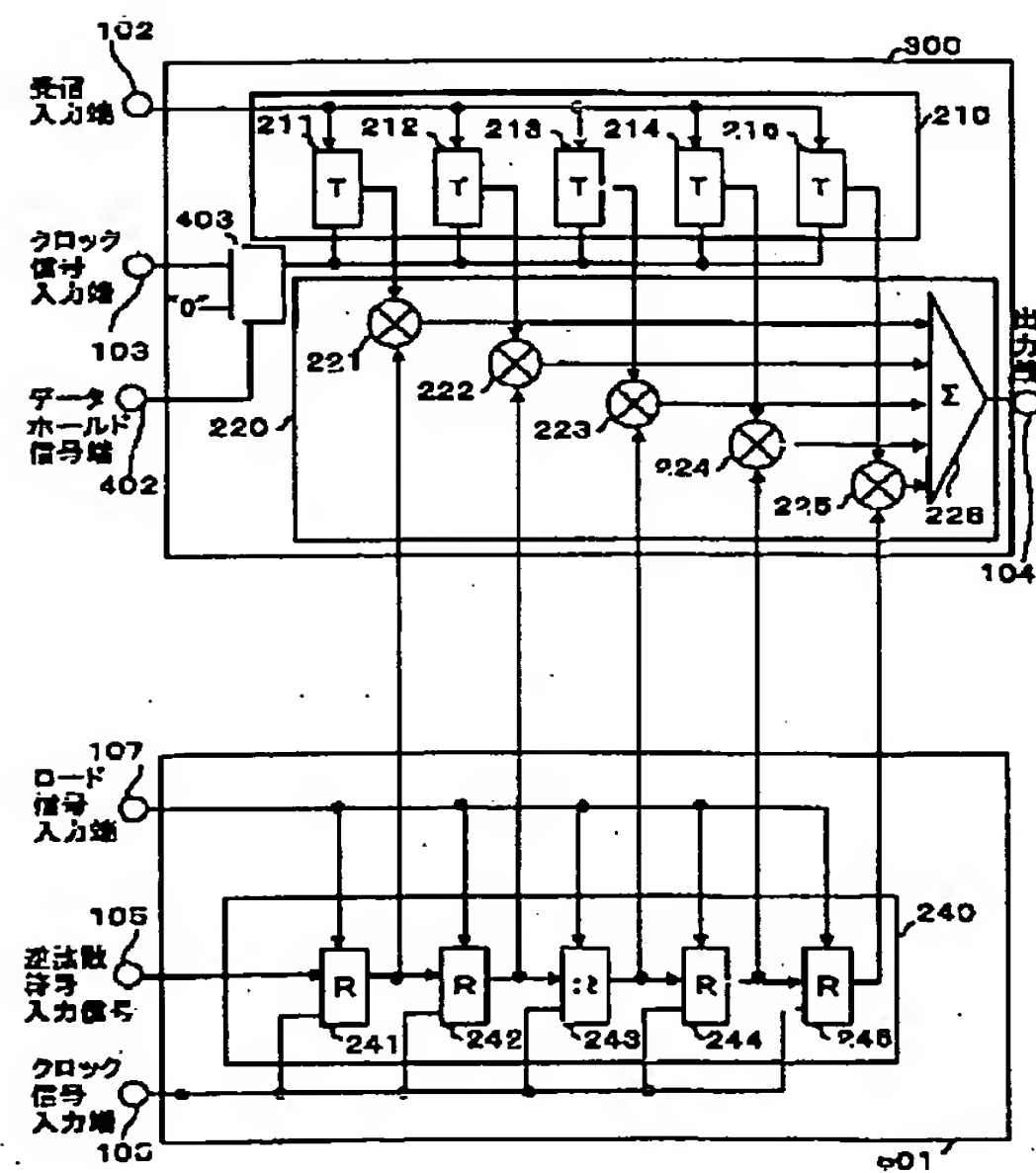
【図4】



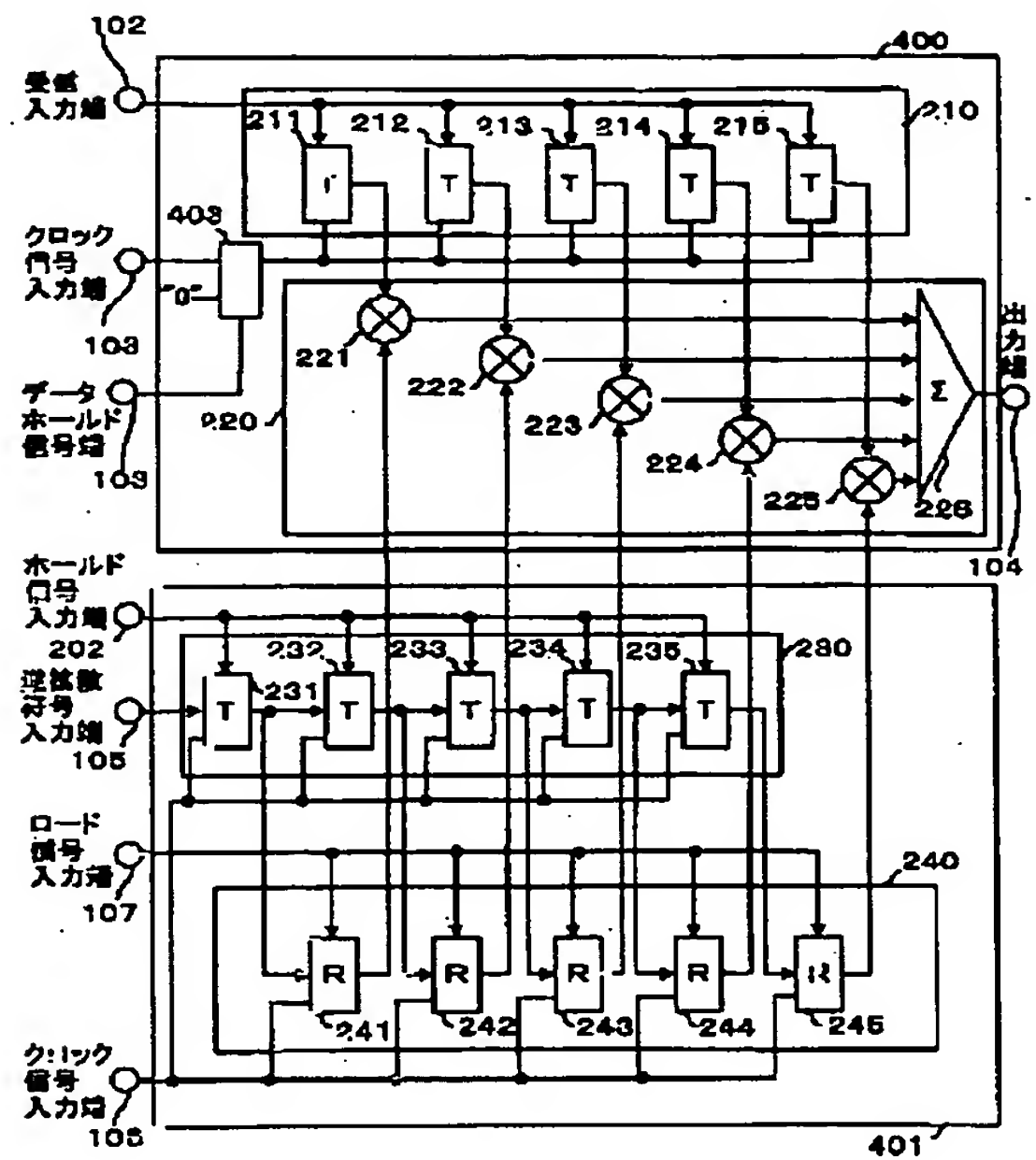
【図5】



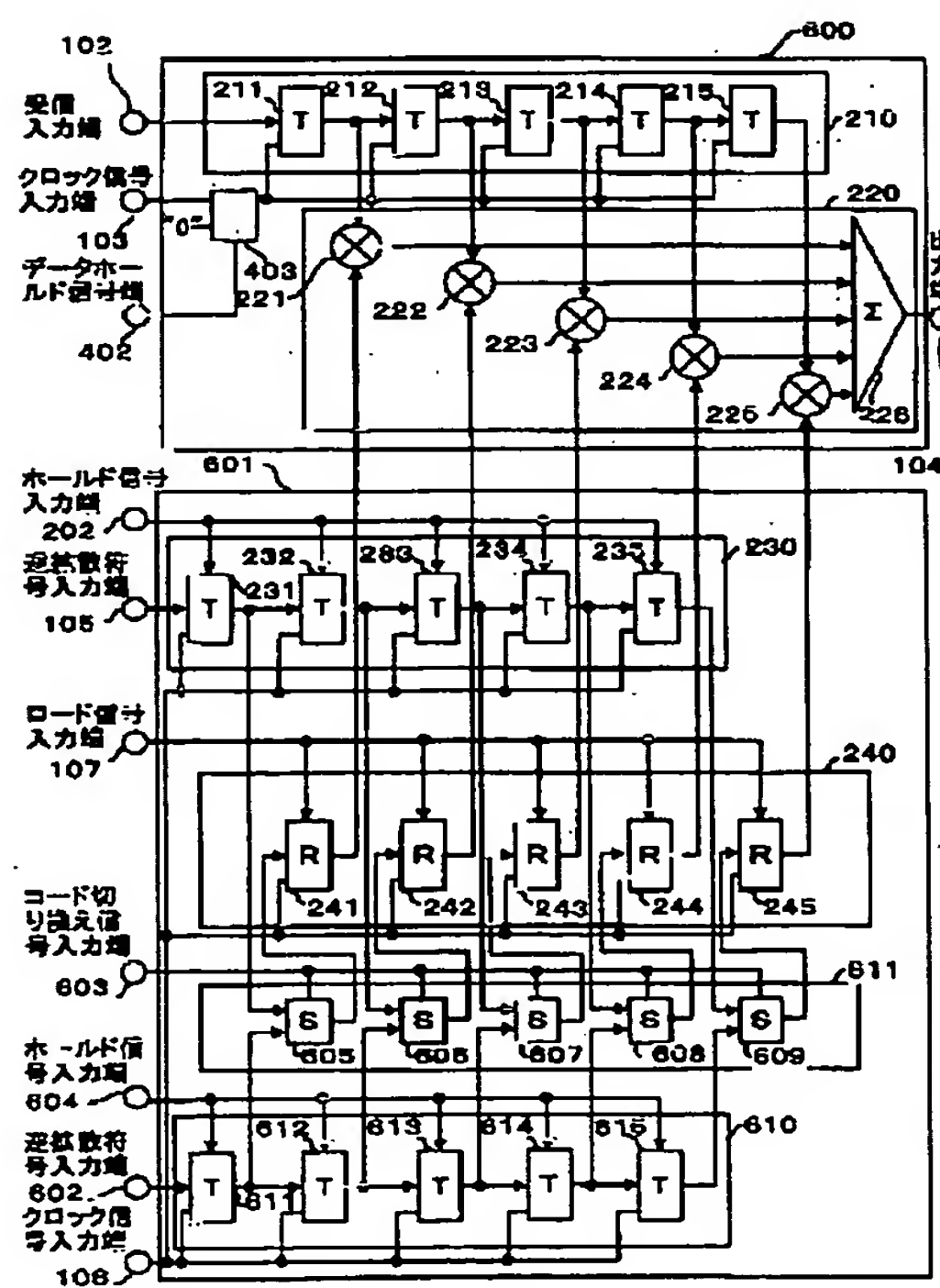
【図9】



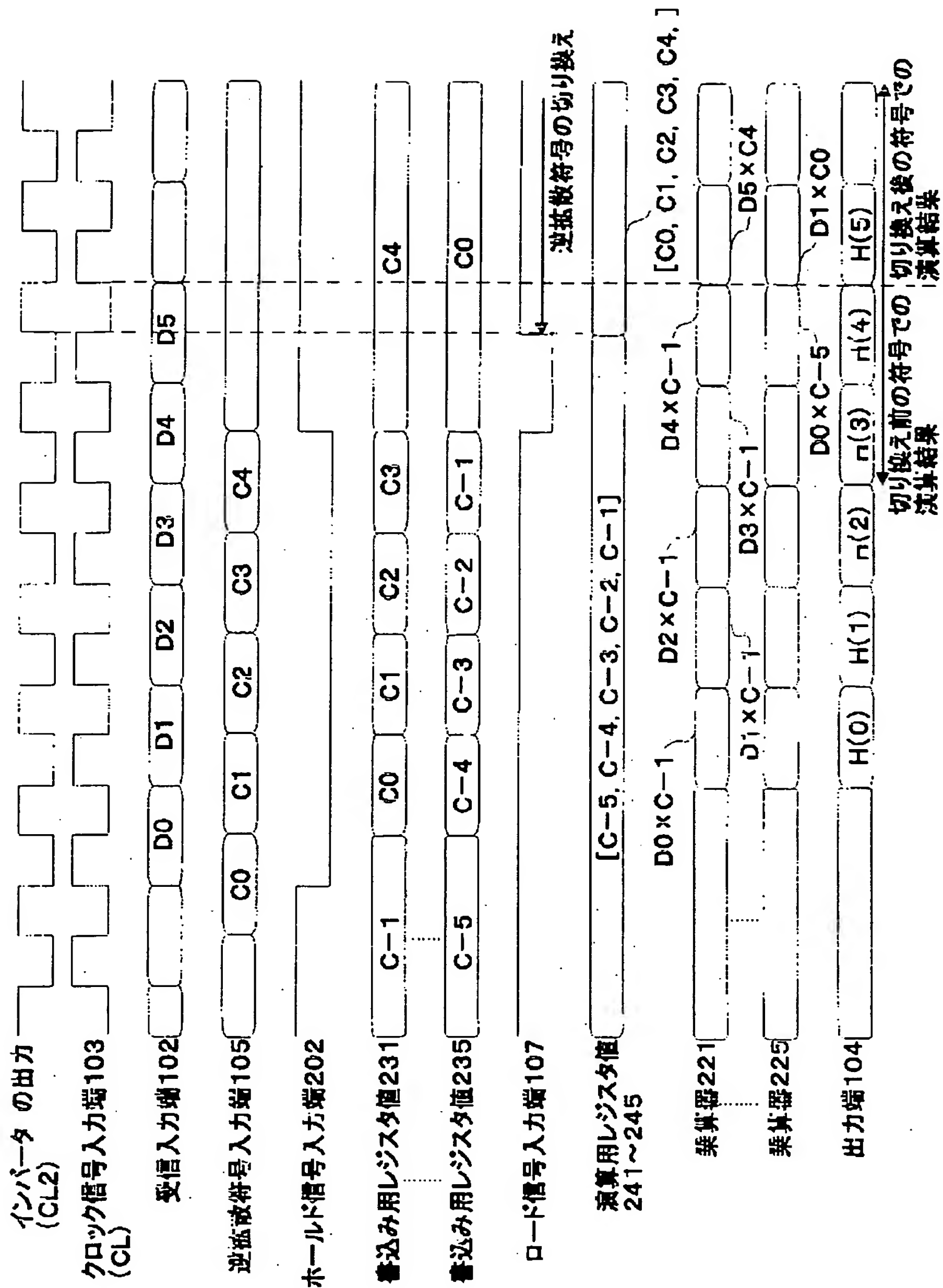
【図7】



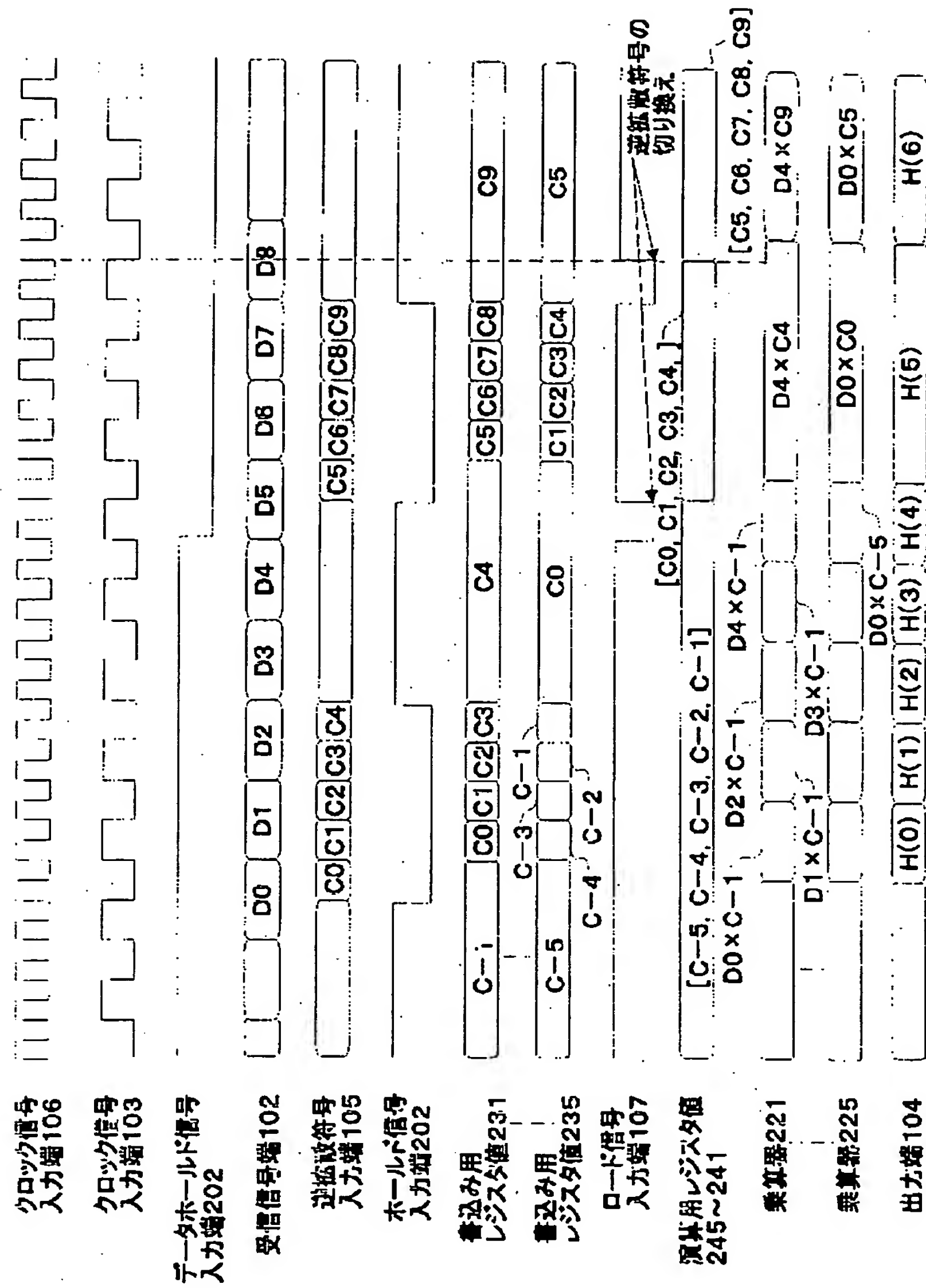
【図11】



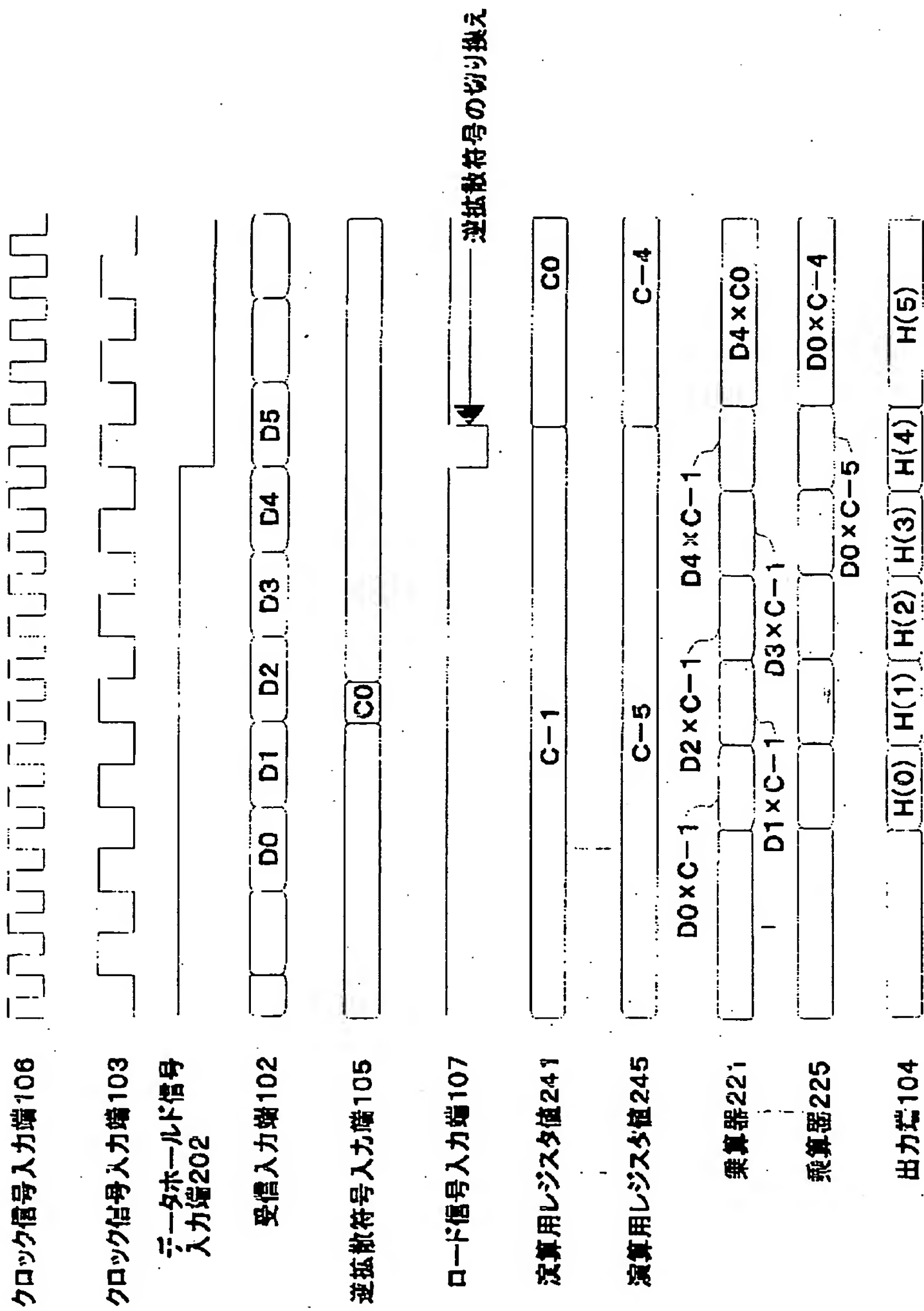
【図6】



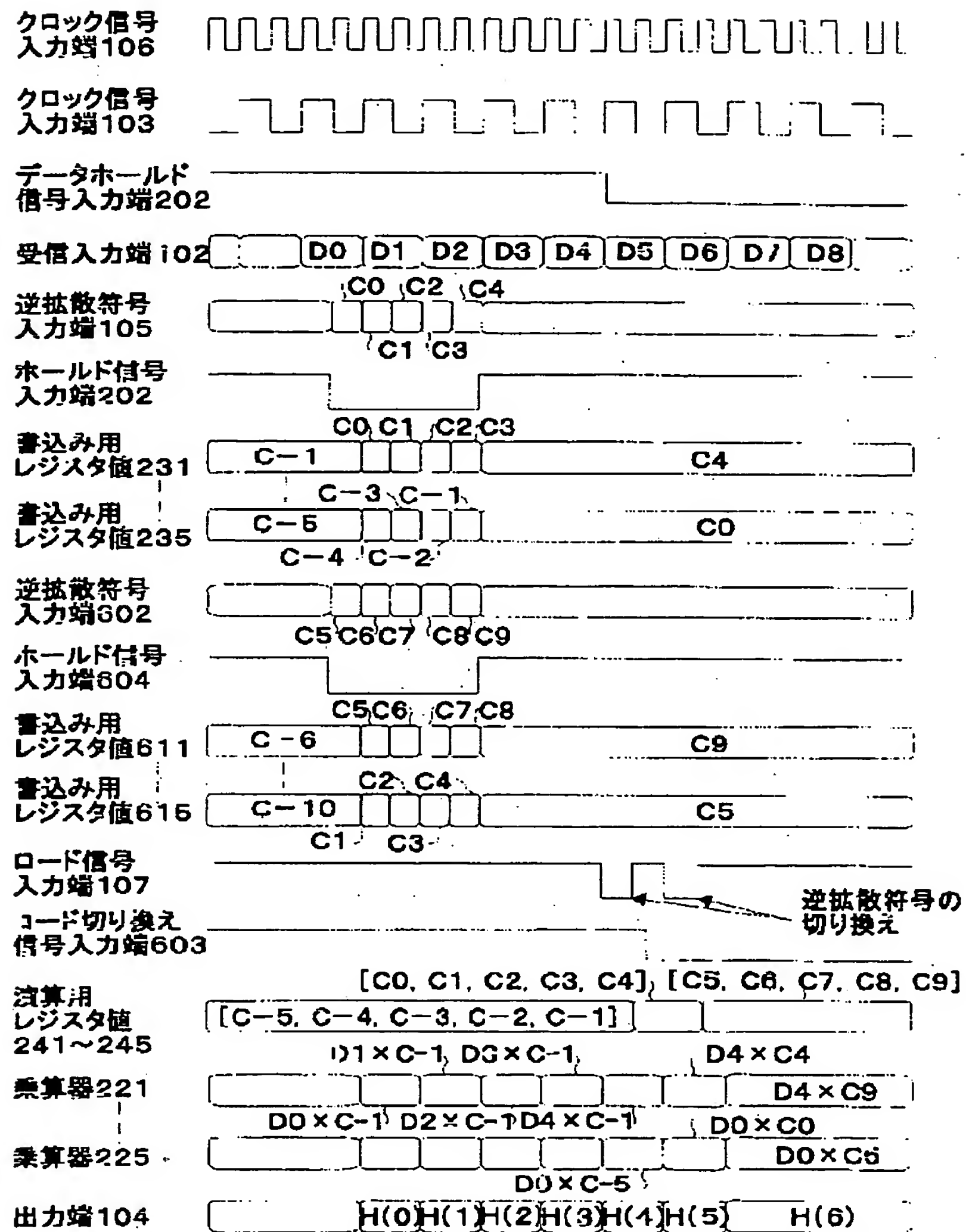
【図8】



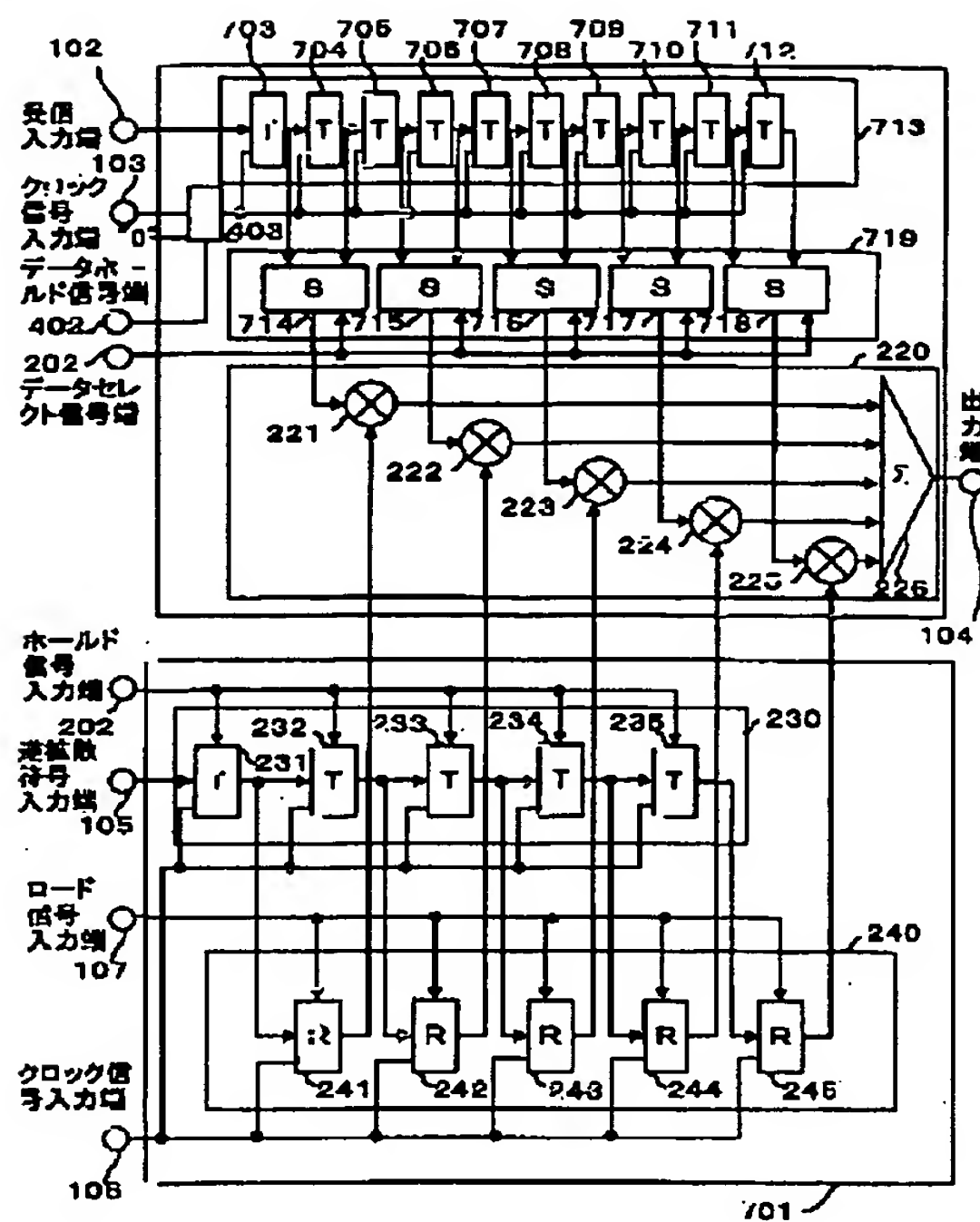
【図10】



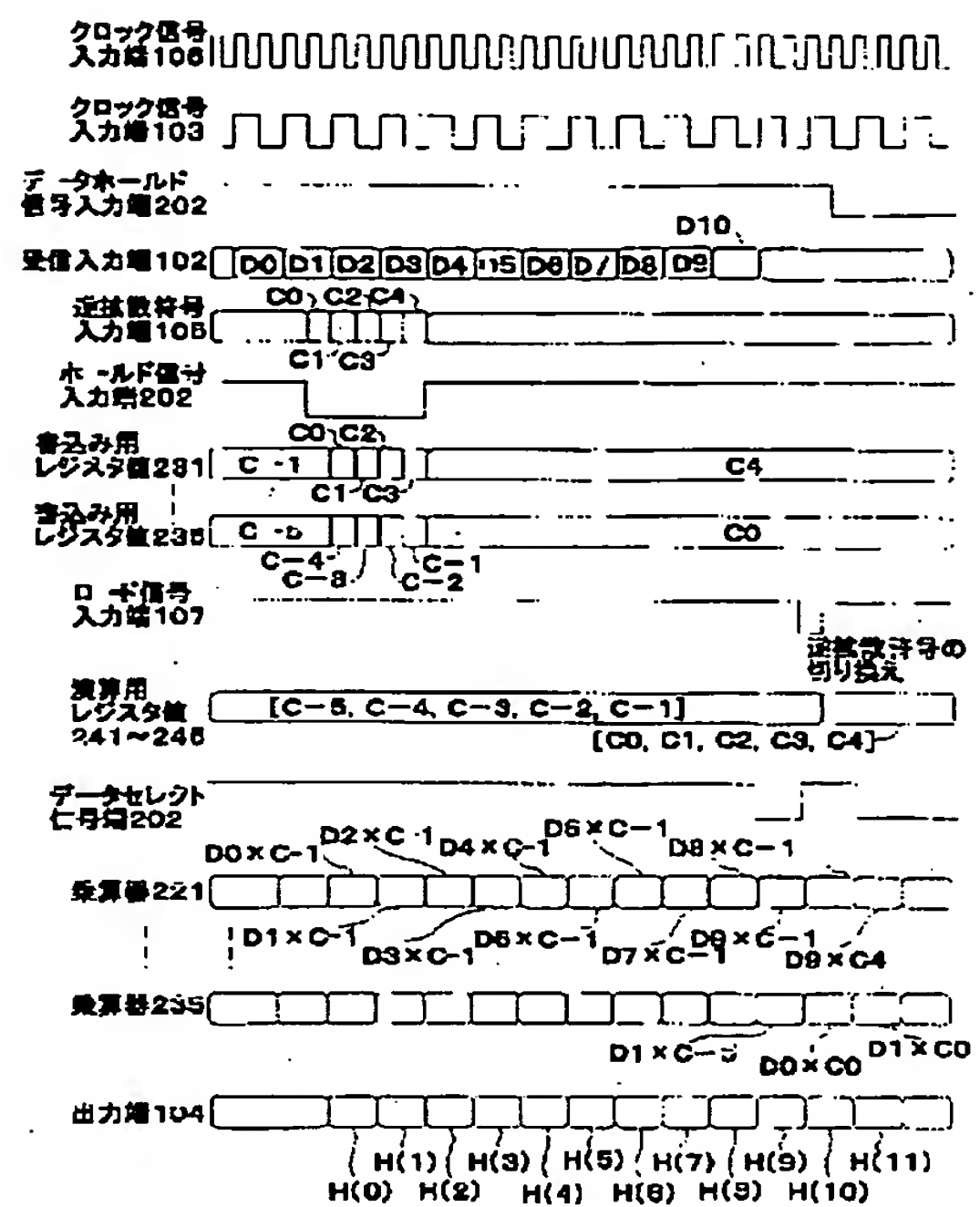
【☒ 12】



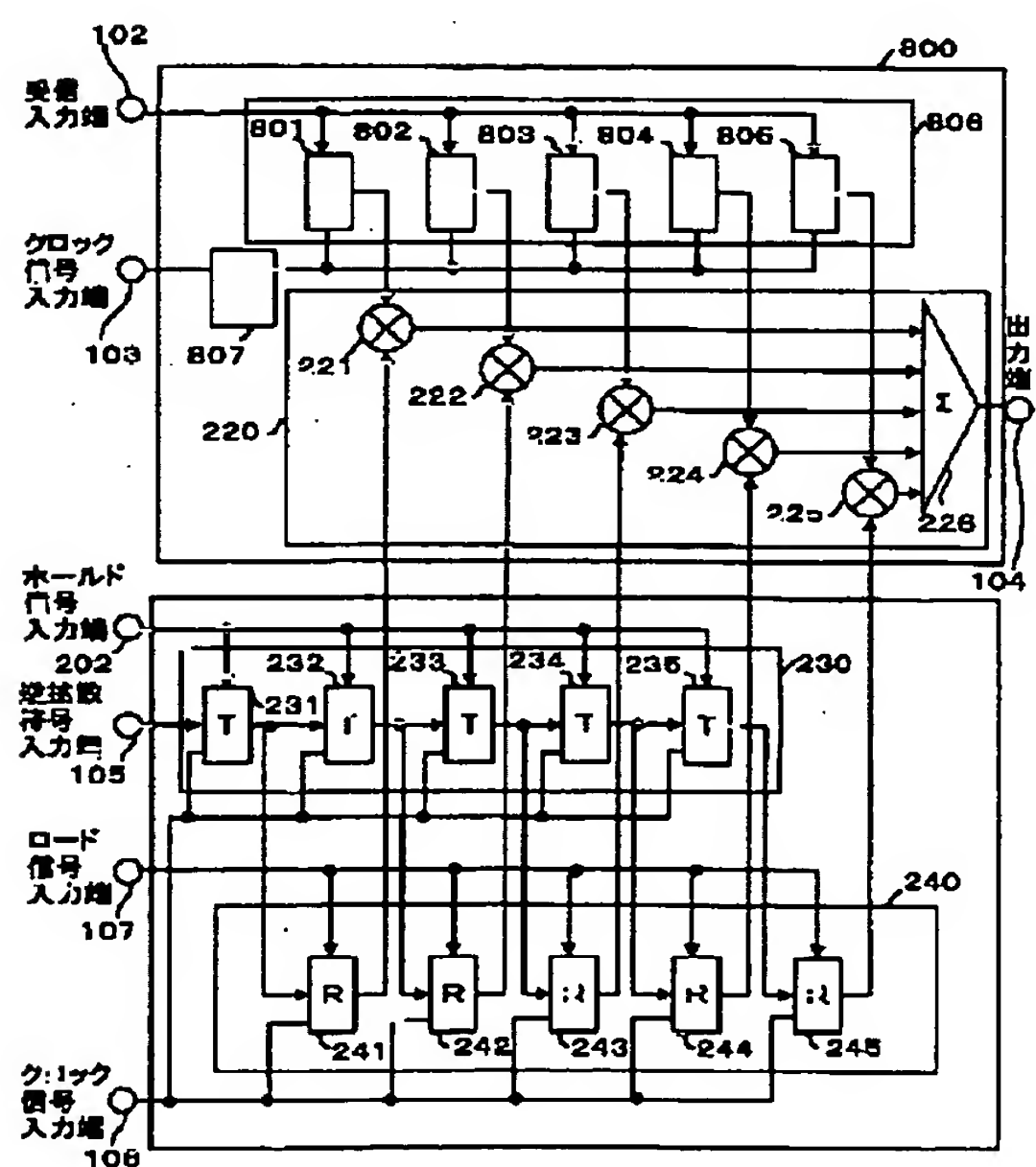
【図13】



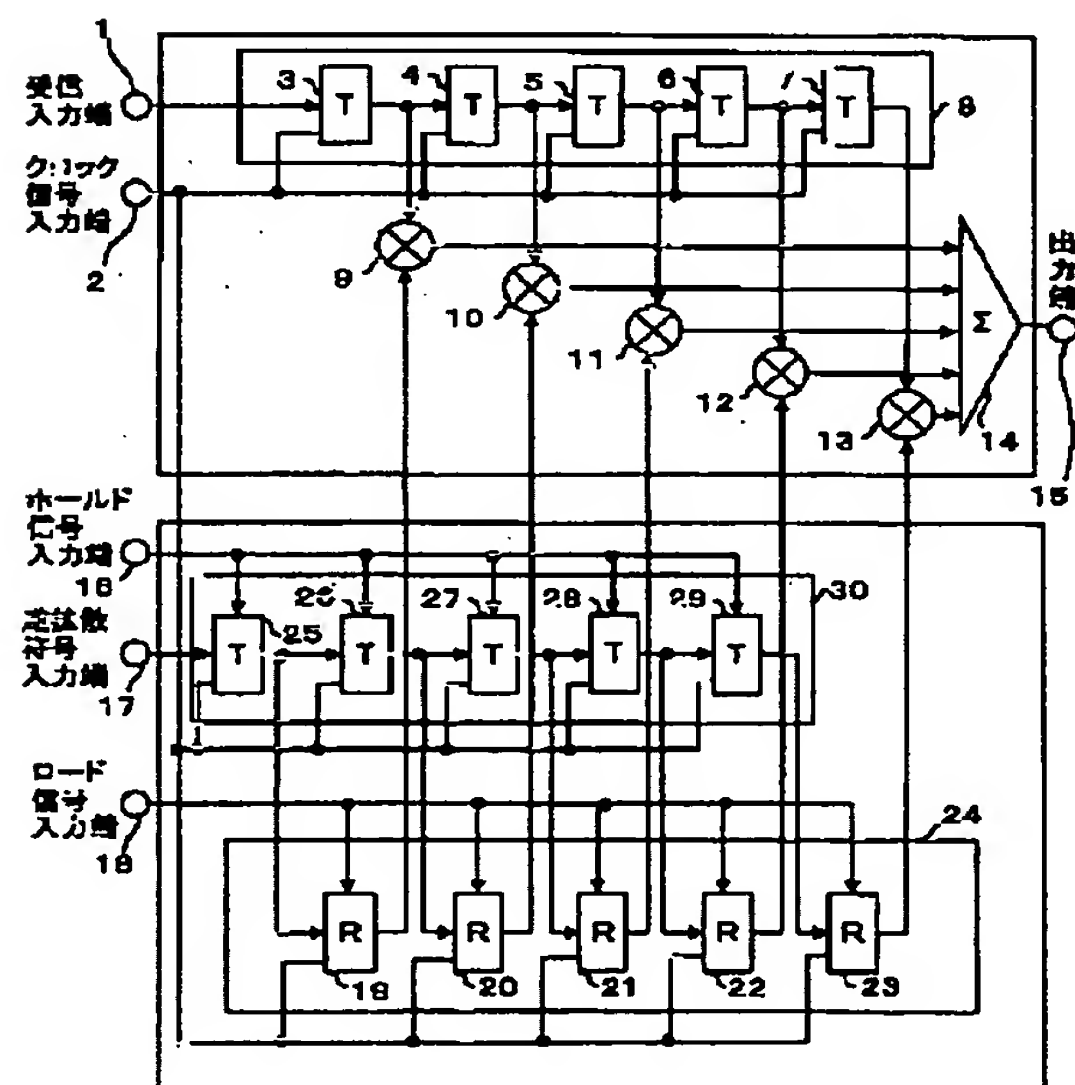
【図14】



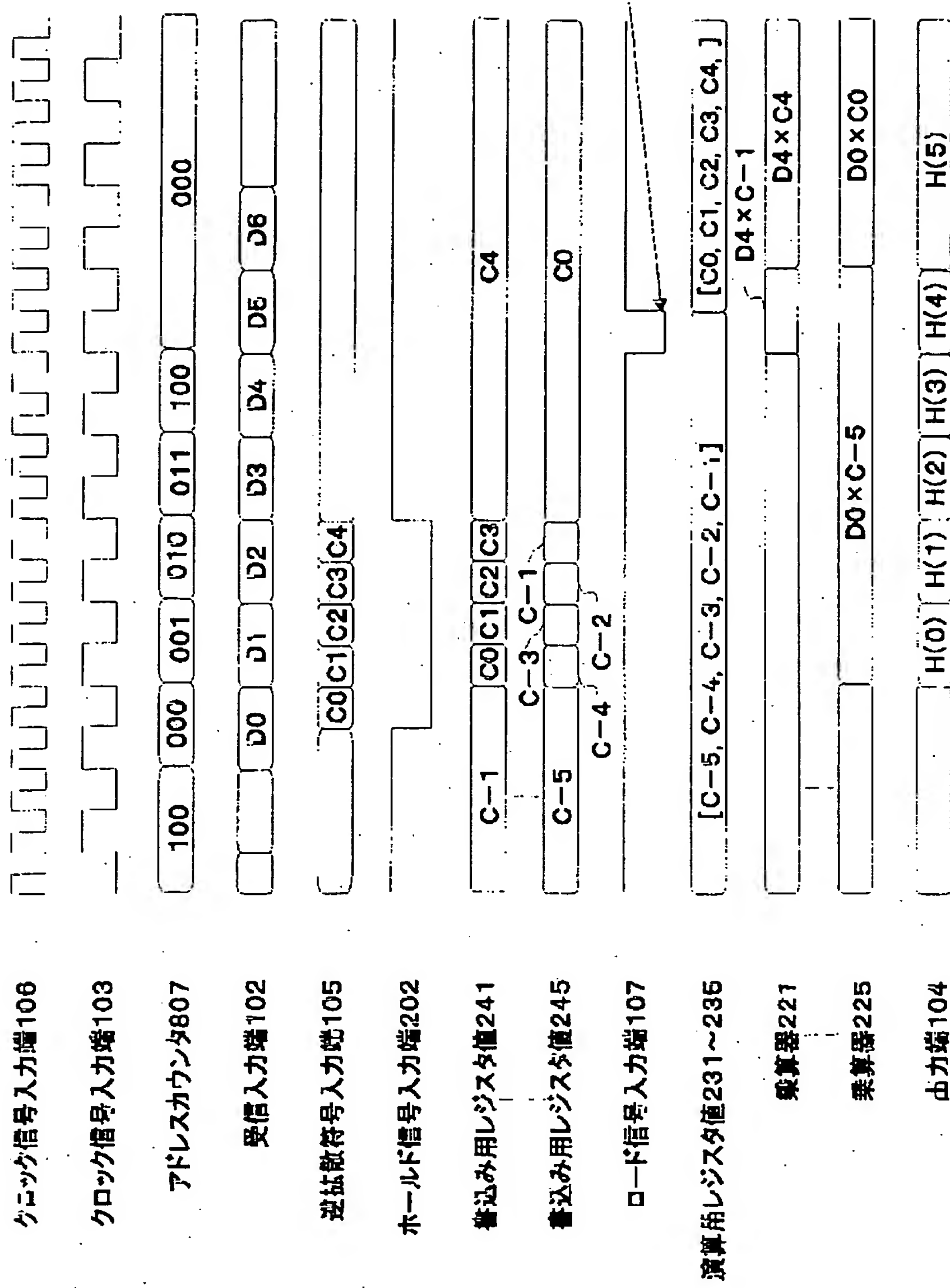
【図15】



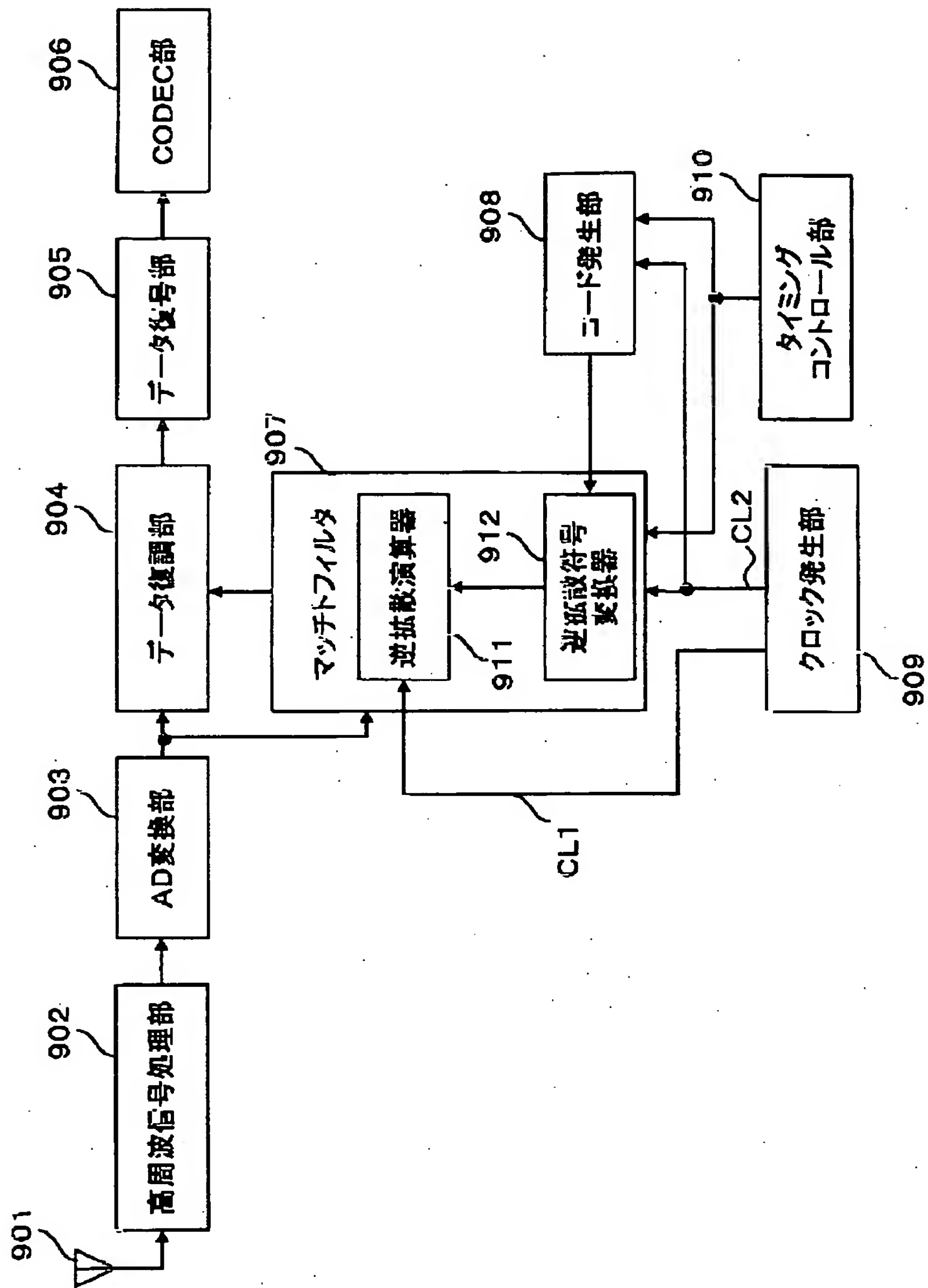
【図18】



【図16】



【図17】



【図19】

